

日本国特許庁
JAPAN PATENT OFFICE

02 51-02
Jc971 U.S. PRO
10/060185
02/01/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 8月31日

出願番号
Application Number:

特願2001-262882

出願人
Applicant(s):

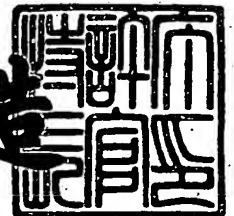
富士通株式会社
富士通ヴィエルエスアイ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



CERTIFIED COPY OF
PRIORITY DOCUMENT

出証番号 出証特2001-3103994

【書類名】 特許願

【整理番号】 0140869

【提出日】 平成13年 8月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/04

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 10

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェ
 ィエルエスアイ株式会社内

 【氏名】 新林 幸司

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェ
 ィエルエスアイ株式会社内

 【氏名】 古山 孝昭

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 000237617

 【氏名又は名称】 富士通ヴェィエルエスアイ株式会社

【代理人】

 【識別番号】 100098431

 【弁理士】

 【氏名又は名称】 山中 郁生

 【電話番号】 052-218-7161

【選任した代理人】

 【識別番号】 100097009

 【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、

所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備える不揮発性半導体記憶装置において、

記憶セル情報の読み出しの際、前記グローバルディジット線は、

選択される前記不揮発性記憶セルが接続されている第 1 ローカルディジット線に接続される第 1 グローバルディジット線と、

選択される前記不揮発性記憶セルが接続されず、非選択の前記不揮発性記憶セルのみが接続されている第 2 ローカルディジット線に接続される、前記第 1 グローバルディジット線と隣接する第 2 グローバルディジット線とを含み、

前記第 1 及び第 2 グローバルディジット線を 1 対として、前記記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 所定数の前記ローカルディジット線毎に纏められ、該不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、

前記第 1 ローカルディジット線は、第 1 セクタに配置され、

前記第 2 ローカルディジット線は、第 2 セクタに配置されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1 セクタと前記第 2 セクタとは、隣接して配置されることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 1 グローバルディジット線と、前記第 2 グローバルディジット線とは、前記セクタ毎に配置関係が反転して構成されることを特徴とする請求項 2 又は 3 に記載の不揮発性半導体記憶装置。

【請求項 5】 複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、

前記ディジット線は、

選択される前記不揮発性記憶セルが接続されている第 1 デジット線と、
非選択の前記不揮発性記憶セルのみが接続されている第 2 デジット線とを含み、

所定数の前記デジット線毎に設けられ、記憶セル情報の読み出しの際、前記第 1 及び第 2 デジット線を共に選択し、記憶セル情報の書き込みの際、前記第 1 デジット線のみを選択する選択部を備えることを特徴とする不揮発性半導体記憶装置。

【請求項 6】 複数の不揮発性記憶セルが接続されている、複数のデジット線と、

前記デジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、

第 1 デジット線を介して、選択される前記不揮発性記憶セルが接続される第 1 データ線と、

第 2 デジット線を介して、非選択の前記不揮発性記憶セルのみが接続される第 2 データ線と、

前記第 1 データ線に接続される第 1 ロード部と、

前記第 1 ロード部と同等な構成を有し、前記第 2 データ線に接続されると共に、前記記憶セル情報に基づき前記第 1 データ線を流れる電流に対して基準となる電流を流す第 2 ロード部とを備え、

前記第 1 ロード部は、前記不揮発性記憶セルから第 2 ロード部に至る経路にある負荷と同等な負荷を有し、前記第 2 ロード部は、前記不揮発性記憶セルから前記第 1 ロード部に至る経路にある負荷と同等な負荷を有して、

前記第 1 及び第 2 データ線を 1 対として、記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

【請求項 7】 前記第 1 及び第 2 ロード部は、

前記不揮発性記憶セルと同等な第 1 及び第 2 リファレンスセルを備えることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】 前記記憶セル情報に基づく電流に対する基準電流を生成する、前記不揮発性記憶セルと同等な第 3 リファレンスセルを含み、前記基準電流に

応じたレギュレート電圧を出力するレギュレータ部を更に備え、

前記第 1 及び第 2 ロード部は、

前記レギュレート電圧により電流値が制御される第 1 及び第 2 負荷部を備えることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 9】 複数の不揮発性記憶セルが接続されている、複数のディジット線と、

前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、

前記ディジット線を介して、選択される前記不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第 1 データ線と、

基準電流が流れる第 2 データ線と、

前記第 1 及び第 2 データ線が接続され、前記記憶セル情報に基づく電流と前記基準電流とを比較する電流比較部とを備え、

前記電流比較部は、

電流ミラー構成を有する電流負荷部と、

前記第 1 及び第 2 データ線と前記電流負荷部との接続を切り替える接続切り換え部とを備えることを特徴とする不揮発性半導体記憶装置。

【請求項 10】 複数の不揮発性記憶セルが接続されている、複数のディジット線と、

前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、

前記ディジット線を介して、選択される前記不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第 1 データ線と、

基準電流が流れる第 2 データ線と、

前記第 1 及び第 2 データ線が接続され、前記記憶セル情報に基づく電流と前記基準電流とを比較する電流比較部とを備え、

前記電流比較部は、

前記第 1 及び第 2 データ線に対して前記基準電流に相当する電流を流す電流負荷部を備えることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置の記憶セル情報の読み出し動作に関するものであり、特に、読み出し動作における高速センス技術に関するものである。

【0002】

【従来の技術】

フラッシュメモリ等の不揮発性半導体記憶装置においては、記憶セル情報の格納は、不揮発性記憶セルにおける不揮発性トランジスタの電流駆動能力により行われる。即ち、“1”／“0”の記憶セル情報に対して、不揮発性トランジスタが、電流を流す／流さない、又はより多くの電流を流す／より少ない電流を流す、等の違いにより記憶セル情報の格納を行っている。

【0003】

そして、不揮発性半導体記憶装置に格納されている記憶セル情報のセンスは、選択された記憶セルに接続されたディジット線を介して流れる電流の有無、あるいは流れる電流とリファレンスセルに流れる基準電流との大小関係により行われる。

【0004】

図22に、従来技術における不揮発性半導体記憶装置の全体構成図を示す。記憶セルMCは、マトリクス状に配置されメモリコア部A100を構成している。記憶セルMCは所定数毎に基本単位として纏められ、セクタSEC100m、SEC100nを構成している。記憶セル情報の読み出し時には、デコーダ101によりアドレス信号Addをデコードすることにより、選択されたセクタに属するワード線WLが活性化されて、記憶セルMCがグローバルビット線GBLに接続され、グローバルビット線GBLに記憶セル情報が現れる。

【0005】

ここで、メモリコア部A100（図23）は、セクタSEC100、SEC101毎の分割動作の必要から、各セクタのビット線LBL00乃至LBL03、LBL10乃至LBL13は独立して配置されている。即ち、セクタ間を貫くグ

ローカルビット線GBL0、GBL1と、グローバルビット線からセクタスイッチを介して接続される2本のローカルビット線LBL00乃至LBL03、LBL10乃至LBL13との階層構造を有している。各ローカルビット線には、セクタ内に配置されている記憶セルMCが複数接続されている。図23では、セクタSEC100についてワード線WL0により選択される記憶セル群MC00乃至MC03と、セクタSEC101についてワード線WL1により選択される記憶セル群MC10乃至MC13とが例示されている。

【0006】

記憶セル情報の読み出し時には、何れか1つのセクタが選択され、該当するワード線(WL0あるいはWL1)が活性化される。これにより、セクタ内の全てのローカルビット線LBL00乃至LBL03、あるいはLBL10乃至LBL13は、各記憶セルMC00乃至MC03、あるいはMC10乃至MC13に接続され記憶セル情報が現れる。そして、各グローバルビット線GBL0、GBL1に接続されている2つのセクタスイッチのうち何れか一方が選択され、各グローバルビット線GBL0、GBL1は、セクタスイッチを介して記憶セルMC00乃至MC03、MC10乃至MC13に接続される。こうして記憶セル情報の読み出し時には、全てのグローバルビット線GBL(図22)は、選択された記憶セル情報を有することとなる。尚、メモリコア部A100の冗長構成SP100、SP101は、グローバルビット線SGBLを基本単位として構成されている。

【0007】

図22に戻り、記憶セルMCに接続された各グローバルビット線GBLは、所定本数毎にコラム選択部B100に入力されて、その中から1本が選択されてデータバスLDBに接続される。図24では、32本のグローバルビット線GBL0乃至GBL31のうちから1本を選択してデータバス線LDBに接続する場合の回路例を示している。アドレスAdd信号により、デコード信号YD00乃至YD1Fのうち1つの信号が活性化される。これにより、活性化されたデコード信号に接続されているパスゲートトランジスタのみが導通して、該当するグローバルビット線がデータバス線LDBn接続されて記憶セル情報がデータバスLD

Bに現れる。

【0008】

データバス線LDBに現れる記憶セル情報の検出は、上述したように、記憶セルMCの電流駆動能力に応じてデータバス線LDBから記憶セルMCに至る経路を流れる電流と、基準電流とを比較して行われる。具体的には電流を電圧に変換した上で差動アンプ106により行われる。電流電圧変換を行う回路が、カスコード部104、105である。図25に具体的な回路例を示す。データバス線LDBに流れる電流と基準電流とが、NMOSトランジスタQN102、QN202を介して流れることにより、差動アンプ106への入力電圧が、電流に応じて調整される。

【0009】

ここで、データバス線LDBは、8ビット、16ビット等の多ビット構成となっており、データバス線LDB毎に上記の読み出し構成が備えられている。即ち、カスコード回路104と差動アンプ106は、8ビット構成であれば8組、16ビット構成であれば16組が、備えられることとなり、構成される多ビット構成に応じたビット幅分の回路が必要となる。これに対して、リファレンスセルRC100は1つであり、これに対する基準電流側のカスコード部105も1つである。この出力が各差動アンプ106に共通に接続されている。従って、各差動アンプ106における記憶セル情報側とリファレンス側との入力信号線間の寄生容量はアンバランスとなっており、これを調整するため記憶セル情報側の入力信号線に容量負荷CLD2を付加することが一般的である。

【0010】

更に、リファレンスセルRC100は、記憶セルMCへのプログラム動作やイレース動作による電圧ストレスの影響を避けるため、メモリコア部A100において、セクタ領域とは異なる専用領域に備えられている。このため、専用領域にあるリファレンスセルRC100が接続されているリファレンスバス線RBは、経路上に他の記憶セルは接続されずにカスコード部105と直結されているのに対して、記憶セルMCが接続されているローカルビット線には、非選択の記憶セルMCが多数接続されており、セクタスイッチを介してグローバルビット線GB

Lに接続される階層的な構造となっている。従って、記憶セルMCからカスコード部104に至る経路には、非選択な記憶セルMCによるトランジスタの接合容量や、ローカルビット線及びグローバルビット線と隣接、あるいはその上／下層に配置されている他のビット線やワード線、あるいはその他の信号線等との間に存在する線間容量等の寄生容量、及びセクタスイッチ等による寄生抵抗が存在する。この寄生素子のアンバランスを調整するためリファレンスセルRC100からカスコード部105に至る経路に容量負荷CLD1を付加することが一般的である。尚、図22では、リファレンスセルRC100が、メモリコア部A100内に配置されている場合を示したが、これに限定されるものではなく、メモリコア部A100の外部に配置されていても良い。

【0011】

寄生素子成分の調整を容量負荷CLD1、CLD2で行うことにより、記憶セル情報側とリファレンス側との過渡応答特性を同等にして、寄生素子による信号伝播遅延を待つことなく過渡状態でのセンスを可能として、センス時間の短縮を図っている。

【0012】

尚、データバス線LDBは、記憶セル情報の書き込み（以下、プログラムと記す。）用にも使用されている。即ち、ライトアンプ103により増幅された入力データIDATは、データバス線LDBに出力される。そして、コラム選択手段B100により適宜なグローバルビット線GBLが選択されることにより、グローバルビット線GBLからローカルビット線を介して、記憶セルMCにプログラム動作が行われることとなる。

【0013】

【発明が解決しようとする課題】

従来技術における不揮発性半導体記憶装置においては、記憶セルMCからカスコード部104に至る記憶セル情報側の電流経路における寄生容量を、リファレンスセル側の電流経路に容量負荷CLD1を付加することにより擬似的に合せこんでいた。

【0014】

しかしながら、記憶セル情報側の寄生容量は、製造上の許容されたバラツキによりある幅を有する分布を持ってばらついてしまう。即ち、各種配線のエッチング加工のバラツキにより、隣接配線との間隔がばらつき、隣接配線との線間容量はある幅にばらついてしまう。また、層間絶縁膜の膜厚のバラツキにより、上／下層の配線との間隔がばらつき、隣接配線との線間容量はある幅にばらついてしまう。更に、ゲート酸化膜や、拡散層の濃度、深さ等のトランジスタの各種パラメータのバラツキにより、接合容量やオン抵抗もある幅にばらついてしまう。

【 0 0 1 5 】

また、不揮発性半導体記憶装置の大容量化が進展することに伴い、チップのダイサイズが大きくなるに従い、同一チップ内においても、寄生容量のチップ面内の差異が大きくなる傾向にある。同時にウェハの大口径化も進展しており、ウェハ面内における差異も大きくなる虞がある。

【 0 0 1 6 】

即ち、セクタ内に配置される記憶セルMCから階層構造を有するビット線を紹介して形成される電流経路と、専用領域に配置されるリファレンスセルから直結される基準電流経路とは、ビット線が配置されている周囲環境や形成される経路の物理的なパラメータが異なっている。このため、設計段階において、両者の寄生素子成分による特性を合せこむ容量負荷CLD1、CLD2を負荷したとしても、製造上のバラツキや、チップあるいはウェハの面内分布による差異の傾向は各々に異なっているため、これらの変動要因を含めて、リファレンス側の特性を寄生素子成分による特性と一致させることは困難であるという問題がある。

【 0 0 1 7 】

従って、読み出し動作中の過渡状態においては、寄生素子成分による信号の伝播遅延に伴い、記憶セル情報側とリファレンス側との電流経路における電位変化は一致しないこととなる。従って、記憶セル情報の検出には電位変化が所定範囲内に収束するまで待つ必要があり、読み出し動作における更なる高速化を妨げており問題である。

【 0 0 1 8 】

本発明は前記従来技術の問題点を解消するためになされたものであり、読み

出し動作における高速センスを可能とするために、記憶セル情報の読み出し経路における寄生素子成分の影響を排除した新規なメモリコア部の構成と、この構成に伴う新規なセンス手段を備えた不揮発性半導体記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段】

前記目的を達成するために、請求項1に係る不揮発性半導体記憶装置は、複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数のローカルディジット線毎に備えられ、ローカルディジット線が択一的に接続されるグローバルディジット線とを備える不揮発性半導体記憶装置において、記憶セル情報の読み出しの際、グローバルディジット線は、選択される不揮発性記憶セルが接続されている第1ローカルディジット線に接続される第1グローバルディジット線と、選択される不揮発性記憶セルが接続されず、非選択の不揮発性記憶セルのみが接続されている、第1グローバルディジット線と隣接する第2グローバルディジット線とを含み、第1及び第2グローバルディジット線を1対として、記憶セル情報の読み出しを行うことを特徴とする。

【0020】

請求項1の不揮発性半導体記憶装置では、記憶セル情報を読み出す際、第1ローカルディジット線を介して、選択される不揮発性記憶セルが接続される第1グローバルディジット線と、非選択の不揮発性記憶セルのみが接続されている第2ローカルディジット線に接続される第2グローバルディジット線とを1対として、記憶セル情報の読み出しを行う。この場合、互いに隣接した第1及び第2グローバルディジット線が1対となる。

【0021】

これにより、記憶セル情報が伝播する第1グローバルディジット線をセル情報側とし、第2グローバルディジット線をリファレンス側として、第1及び第2グローバルディジット線を1対として記憶セル情報を読み出すので、読み出し経路である第1ローカルディジット線から第1グローバルディジット線に至る経路と同等な経路構成を有する第2ローカルディジット線から第2グローバルディジッ

ト線までの経路をリファレンス側の負荷とすることができる。経路上に存在する寄生容量による負荷をセル情報側とリファレンス側とで理想的に同等とすることができる。

【 0 0 2 2 】

また、第1グローバルディジット線と第2グローバルディジット線とは隣接して配置されているので、一方のグローバルディジット線に印加されたノイズは、他方のグローバルディジット線にも伝播され、第1及び第2グローバルディジット線間で、同等のノイズが乗る。即ち、第1及び第2グローバルディジット線間で、同相のノイズが印加されることとなる。第1及び第2グローバルディジット線を隣接することにより、両グローバルディジット線を1対とする読み出し動作において、ノイズの影響を相殺することができる。

【 0 0 2 3 】

セル情報側のセル情報伝播経路と同等な経路構成を有してリファレンス側とし、更に両経路を隣接配置しているため、製造バラツキや、チップあるいはウェハ面内におけるバラツキに関わらず、セル情報側とリファレンス側の経路とは、常に同等の寄生容量による負荷を有することとなり、読み出し時において同等な過渡応答特性が安定して得られる。従って、セル情報側及びリファレンス側の経路電位の平衡状態を待たず過渡応答時にセンスして、記憶セル情報を安定して高速に読み出すことができる。また、両経路には同相のノイズが乗るので、ノイズは相殺され記憶セル情報の読み出し信頼性が向上する。

【 0 0 2 4 】

また、請求項2に係る不揮発性半導体記憶装置は、請求項1に記載の不揮発性半導体記憶装置において、所定数のローカルディジット線毎に纏められ、不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、第1ローカルディジット線は、第1セクタに配置され、第2ローカルディジット線は、第2セクタに配置されることを特徴とする。更に、請求項3に係る不揮発性半導体記憶装置は、請求項2に記載の不揮発性半導体記憶装置において、第1セクタと第2セクタとは、隣接して配置されることを特徴とする。

【 0 0 2 5 】

請求項 2 の不揮発性半導体記憶装置では、所定数のローカルディジット線毎に纏められて不揮発性記憶セルへのアクセスの基本単位としてセクタが構成されており、第 1 ローカルディジット線は第 1 セクタに、第 2 ローカルディジット線は第 2 セクタに配置されている。また、請求項 3 の不揮発性半導体記憶装置では、第 1 セクタと第 2 セクタとは隣接して配置されている。

【 0 0 2 6 】

これにより、アクセス選択されて不揮発性記憶セルが接続される、第 1 セクタ内の第 1 ローカルディジット線に対して、アクセス選択されていない第 2 セクタ内の第 2 ローカルディジット線を、リファレンス側の負荷として選択することができる。セクタは不揮発性記憶セルへのアクセスの基本単位として構成されているので、非選択の第 2 セクタにおいて、第 2 ローカルディジット線に接続されている不揮発性記憶セルは選択されておらず、第 2 ローカルディジット線はリファレンス側の負荷として使用することができる。また、選択されている第 1 セクタに隣接する非選択セクタを第 2 セクタとすることにより、セル情報側に隣接してリファレンス側の経路を選択することができ、両経路間の寄生容量による負荷、及びノイズによる影響を同等にすることができる。

【 0 0 2 7 】

また、請求項 4 に係る不揮発性半導体記憶装置は、請求項 2 又は 3 に記載の不揮発性半導体記憶装置において、第 1 グローバルディジット線と、第 2 グローバルディジット線とは、セクタ毎に配置関係が反転して構成されることを特徴とする。

【 0 0 2 8 】

請求項 4 の不揮発性半導体記憶装置では、第 1 グローバルディジット線と、第 2 グローバルディジット線とは、セクタ毎に交差して配置されている。

【 0 0 2 9 】

これにより、第 1 グローバルディジット線に接続される第 1 セクタ内の第 1 ローカルディジット線と、第 2 グローバルディジット線に接続される第 2 セクタ内の第 2 ローカルディジット線とは、セクタ内において同様の配置位置とすることができる。従って、第 1 及び第 2 ローカルディジット線の各々は、他のローカル

／グローバルビット線、ワード線、その他の配線、及び構成素子等の周辺構造との間で、同等の位置関係を有することとなる。また、第1及び第2グローバルディジット線も、セクタ毎に交差するので、第1及び第2グローバルディジット線と、周辺構造との位置関係も同等となる。従って、これらの周辺構造との間で形成される寄生容量は、両経路間で同等とすることができる。

【 0 0 3 0 】

また、第1ローカルディジット線と、第2ローカルディジット線とは隣接させてもよい。これにより、一方のローカルディジット線に印加されたノイズは、他方のローカルディジット線にも伝播され、第1及び第2ローカルディジット線間で、同等のノイズが乗る。即ち、第1及び第2ローカルディジット線間で、同相のノイズが印加されることとなる。第1及び第2ローカルディジット線を隣接することにより、ノイズの影響を相殺することができる。従って、記憶セル情報の読み出し信頼性が向上する。

【 0 0 3 1 】

また、第1ローカルディジット線と第2ローカルディジット線とは、第1及び第2ローカルディジット線を囲む物理パラメータが同等であることが好ましい。これにより、他のローカル／グローバルビット線、ワード線、その他の配線、及び構成素子等の周辺構造との間で、同等の位置関係を有することとなり、これらの周辺構造との間で形成される寄生容量は、両経路間で同等とすることができる。

【 0 0 3 2 】

また、所定数の不揮発性記憶セル毎に纏められ、不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、第1ローカルディジット線と、第2ローカルディジット線とは、セクタ毎に配置関係が反転して構成されることが好ましい。これにより、ローカルディジット線が、セクタを越えて形成されている場合に、セクタ毎に配置関係を反転するので、周辺構造との間で形成される寄生容量は、第1及び第2ローカルディジット線間で同等とすることができる。

【 0 0 3 3 】

また、欠陥救済のための冗長構成の最小単位は、第 1 及び第 2 グローバルディジット線を 1 対として構成されることが好ましい。これにより、欠陥を救済して冗長構成から読み出しを行う場合にも、隣接する第 1 及び第 2 グローバルディジット線を 1 対とした読み出し構成を維持することができ、冗長構成に移行しない場合と同等な読み出し性能を維持することができる。

【 0 0 3 4 】

また、複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、記憶セル情報の読み出しの際、ディジット線は、選択される不揮発性記憶セルが接続されている第 1 ディジット線と、非選択の不揮発性記憶セルのみが接続されている第 2 ディジット線とを含み、第 1 及び第 2 ディジット線を 1 対として、記憶セル情報の読み出しを行ってもよい。この場合、第 1 ディジット線と、第 2 ディジット線とは隣接することが好ましい。また、第 1 ディジット線と第 2 ディジット線とは、第 1 及び第 2 ディジット線を囲む物理パラメータが同等であることが好ましい。これにより、ローカルビット線とグローバルビット線とのビット線の階層構造を有さない不揮発性半導体記憶装置においても、選択される不揮発性記憶セルが接続されている第 1 ディジット線と、非選択の不揮発性記憶セルのみが接続されている第 2 ディジット線とを 1 対として読み出し動作を行えば、製造バラツキや、チップあるいはウェハ面内におけるバラツキに関わらず、セル情報側とリファレンス側の経路における寄生容量による負荷を同等とすることができる。従って、読み出し時における過渡応答特性が安定して得られ、安定した高速読み出しを実現することができる。また、両経路には同相のノイズが印加されるためノイズは互いに相殺され、記憶セル情報の読み出し信頼性が向上する。また、両ディジット線を隣接配置、あるいは周囲環境による物理パラメータを同等にしてやれば、両経路における寄生容量のバランスを更によくすることができる。

【 0 0 3 5 】

また、請求項 5 に係る不揮発性半導体記憶装置は、複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、ディジット線は、選択される不揮発性記憶セルが接続されている第 1 ディジッ

ト線と、非選択の不揮発性記憶セルのみが接続されている第2ディジット線とを含み、所定数のディジット線毎に設けられ、記憶セル情報の読み出しの際、第1及び第2ディジット線を共に選択し、記憶セル情報の書き込みの際、第1ディジット線のみを選択する選択部を備えることを特徴とする。

【0036】

請求項5の不揮発性半導体記憶装置では、選択部は、所定数のディジット線から、記憶セル情報の読み出しの際には、選択される不揮発性記憶セルが接続されている第1ディジット線と、非選択の不揮発性記憶セルのみが接続されている第2ディジット線とを共に選択し、記憶セル情報の書き込みの際には、第1ディジット線のみを選択する。

【0037】

これにより、所定数のディジット線から、該当する第1及び第2ディジット線を選択する際、選択部は、アドレス信号等をデコードする必要がある。読み出し時には、第1及び第2ディジット線を共に選択するので、デコード階層を、書き込みに比して浅く設定することができ、読み出し用の選択部をコンパクトにすることができる。

【0038】

また、ディジット線に選択的に接続されるデータ線を備え、選択部は、記憶セル情報の読み出しの際に、第1電流駆動能力でディジット線とデータ線とを接続し、記憶セル情報の書き込みの際に、第1電流駆動能力より大きな第2電流駆動能力でディジット線とデータ線とを接続するスイッチ部を備えることが好ましい。これにより、スイッチ部は、電流容量の小さな読み出し時には、第1電流駆動能力でディジット線とデータ線とを接続し、大きな電流容量を必要とする書き込み時には、第1電流駆動能力より大きな駆動能力である第2電流駆動能力でディジット線とデータ線とを接続することができる。読み出し時及び書き込み時に、最適な電流駆動能力でディジット線とデータ線とを接続することができる。

【0039】

また、ディジット線に選択的に接続されるデータ線を備え、選択部は、記憶セ

ル情報の読み出し時に、ディジット線からデータ線に至る第1経路と、記憶セル情報の書き込み時に、データ線からディジット線に至る第2経路とを備えることが好ましい。更に、第2経路は、第1経路を含んで構成してもよい。これにより、第1経路を読み出し経路としながら、書き込み経路を、第2経路、あるいは第1及び第2経路とすることができ、各々に異なる経路とすることができる。従って、読み出し経路である第1経路の接続を、第1電流駆動能力を確保することができるスイッチ部として、スイッチ部による寄生容量成分を最小限に低減して高速な読み出し速度を確保しながら、書き込み経路である第2経路、あるいは第1及び第2経路の接続を、第2電流駆動能力を有する充分に大きなスイッチ部として、書き込みに必要な電流容量を確保することができる。

【0040】

また、読み出し経路を第1経路とし、書き込み経路を第2経路として、両経路を並列に設ける場合には、第1経路を構成するスイッチ部を開閉制御する第1制御部を低耐圧素子で構成し、第2経路を構成するスイッチ部を開閉制御する第2制御部を高耐圧素子で構成することができる。これにより、読み出し時に、低耐圧素子で構成される第1経路により、高速動作が可能となり、書き込み時に、高耐圧素子で構成される第2経路により、書き込み動作を確実に行うことができる。

【0041】

また、記憶セル情報の読み出しの際に、第1及び第2ディジット線を各々別のデータ線に接続する第1及び第2スイッチ部と、記憶セル情報の書き込みの際、第1ディジット線を第3データ線に接続する第3スイッチ部とを備えることが好ましい。これにより、第1乃至第3スイッチ部の開閉制御により、読み出し時には、第1及び第2ディジット線を1対とした読み出し動作を行い、書き込み時には、第1ディジット線への書き込み動作を行うことができる。

【0042】

尚、複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、ローカルディジット線が択一的に接続されるグローバルディジット線とを備えた階層的なビット線構造を

有する不揮発性半導体記憶装置においても、ディジット線に代えてグローバルディジット線に上記の手段を適用すれば、同様な構成及び作用を有し、同様な効果を奏することができる。

【 0 0 4 3 】

また、請求項 6 に係る不揮発性半導体記憶装置は、複数の不揮発性記憶セルが接続されているディジット線と、ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、第 1 ディジット線を介して、選択される不揮発性記憶セルが接続される第 1 データ線と、第 2 ディジット線を介して、非選択の不揮発性記憶セルのみが接続される第 2 データ線と、第 1 データ線に接続される第 1 ロード部と、第 1 ロード部と同様な構成を有し、第 2 データ線に接続されると共に、記憶セル情報に基づき第 1 データ線を流れる電流に対して基準となる電流を流す第 2 ロード部とを備え、第 1 ロード部は、不揮発性記憶セルから第 2 ロード部に至る経路にある負荷と同等な負荷を有し、第 2 ロード部は、不揮発性記憶セルから第 1 ロード部に至る経路にある負荷と同等な負荷を有して、第 1 及び第 2 データ線を 1 対として、記憶セル情報の読み出しを行うことを特徴とする。

【 0 0 4 4 】

請求項 6 の不揮発性半導体記憶装置では、選択される不揮発性記憶セルが、第 1 ディジット線を介して第 1 データ線に接続され、非選択の不揮発性記憶セルのみが接続される第 2 ディジット線は、第 2 データ線に接続され、両データ線を 1 対として、記憶セル情報の読み出しが行われる。第 1 及び第 2 データ線には、各々、第 1 及び第 2 ロード部が接続されている。そして、第 2 ロード部には、不揮発性記憶セルから第 1 ロード部に至る経路にある負荷と同等な負荷が備えられ、第 1 ロード部には、不揮発性記憶セルから第 2 ロード部に至る経路にある負荷と同等な負荷が備えられている。更に、記憶セル情報の読み出しの際、第 2 ロード部には、記憶セル情報に基づき第 1 データ線を流れる電流に対して基準となる電流が流れる。

【 0 0 4 5 】

これにより、選択される不揮発性記憶セルの記憶セル情報に基づいて、第 1 デ

イジット線を介して第1データ線に流れる電流に対して、第2ロード部には、基準電流が流れる。また、第1及び第2ロード部に備えられる負荷は、不揮発性記憶セルから第2及び第1ロード部に至る経路にある負荷と同等な負荷である。第1及び第2ロード部を含む第1及び第2データ線は、記憶セル情報に基づく電流と基準電流との電流経路として同等な構成を有することとなり、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、第1及び第2データ線を1対とする読み出し動作を確実に行うことができる。

【0046】

また、請求項7に係る不揮発性半導体記憶装置は、請求項6に記載の不揮発性半導体記憶装置において、第1及び第2ロード部は、不揮発性記憶セルと同等な第1及び第2リファレンスセルを備えることを特徴とする。また、請求項8に係る不揮発性半導体記憶装置は、請求項6に記載の不揮発性半導体記憶装置において、記憶セル情報に基づく電流に対する基準電流を生成する、不揮発性記憶セルと同等な第3リファレンスセルを含み、基準電流に応じたレギュレート電圧を出力するレギュレータ部を更に備え、第1及び第2ロード部は、レギュレート電圧により電流値が制御される第1及び第2負荷部を備えることを特徴とする。

【0047】

請求項7の不揮発性半導体記憶装置では、第1及び第2ロード部に備えられる不揮発性記憶セルと同等な第1及び第2リファレンスセルにより、基準電流が生成される。また、請求項8の不揮発性半導体記憶装置では、不揮発性記憶セルと同等な第3リファレンスセルにより、基準電流が生成される。この基準電流は、レギュレータ部によりレギュレート電圧に変換されて、第1及び第2ロード部に備えられる第1及び第2負荷部を制御して第1及び第2ロード部に基準電流が流れる。

【0048】

これにより、不揮発性記憶セルと同等な第1及び第2リファレンスセルにより基準電流を生成するので、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、不揮発性記憶セルの記憶セル情報に基づく電流との整合性が良好な基準電流を生成することができ、第1及び第2データ線を1対とする読み出し

動作を確実に行うことができる。また、請求項 8 の不揮発性半導体記憶装置においては、不揮発性記憶セルと同等な第 3 リファレンスセルにより生成した基準電流が、レギュレート電圧に変換され第 1 及び第 2 負荷部を制御することにより、第 1 及び第 2 ロード部に基準電流が生成される。第 3 リファレンスセルは、ロード部毎に備える必要がなく 1 つあれば足りる。特に、不揮発性半導体記憶装置が多ビット出力構成である場合、ビット幅分の第 1 及び第 2 データ線の対が必要となり、この各々に第 1 及び第 2 ロード部が接続されることとなる。この場合にも、第 3 リファレンスセルは 1 つ備えていれば良く、ロード部と同数のリファレンスセルを備える場合に比して、ダイサイズの縮小に寄与することができる。また、リファレンスセル間の特性バラツキを調整する必要もなく好都合である。

【 0 0 4 9 】

また、第 1 及び第 2 リファレンスセル、あるいは第 3 リファレンスセルは、記憶セル情報が格納される不揮発性記憶セルの配置領域とは異なる配置領域に配置されることが好ましい。これにより、リファレンスセルには、書き込み時等に不揮発性記憶セルに印加される電圧ストレスは印加されず、リファレンスセルの特性変動は招来されないため、安定した基準電流を生成することができる。

【 0 0 5 0 】

また、第 1 及び第 2 リファレンスセルあるいは第 1 及び第 2 負荷部と、基準電位とを接続する第 1 及び第 2 選択スイッチとを備え、第 2 選択スイッチが選択的に導通することが好ましい。これにより、第 2 選択スイッチは、不揮発性記憶セルのソース側に接続される負荷と同等な負荷に設定することができ、記憶セル情報に基づく電流の電流経路と基準電流の電流経路との経路上の負荷を更に精度良く合せこむことができる。

【 0 0 5 1 】

また、レギュレータ部は、第 3 リファレンスセルを含む基準電流生成部と、第 1 及び第 2 負荷部と同等な第 3 負荷部を含むレギュレート電圧生成部とを備えることが好ましい。また、基準電流生成部で生成される基準電流を、レギュレート電圧生成部にミラーする電流ミラー部と、レギュレート電圧生成部において、ミラーされた基準電流を流すように第 3 負荷部を制御するフィードバック部とを備

えることもできる。更に、フィードバック部は、レギュレート電圧を出力するように設定することが好ましい。これにより、第3リファレンスセルを含む基準電流生成部により生成される基準電流を、レギュレート電圧生成部においてレギュレート電圧に変換することができる。その際、電流ミラー部により、基準電流生成部により生成される基準電流をレギュレート電圧生成部に渡ミラーし、レギュレート電圧生成部の第3負荷部に、ミラーされた基準電流が流れるようにフィードバック部を構成すれば、第3負荷部と同様な第1及び第2負荷部には、基準電流を流すことができる。

【 0 0 5 2 】

尚、複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、ローカルディジット線が択一的に接続されるグローバルディジット線とを備えた階層的なビット線構造を有する不揮発性半導体記憶装置においても、ディジット線に代えてグローバルディジット線に上記の手段を適用すれば、同様な構成及び作用を有し、同様な効果を奏することができる。

【 0 0 5 3 】

また、請求項9に係る不揮発性半導体記憶装置は、複数の不揮発性記憶セルが接続されている、複数のディジット線と、ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、ディジット線を介して、選択される不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第1データ線と、基準電流が流れる第2データ線と、第1及び第2データ線が接続され、記憶セル情報に基づく電流と基準電流とを比較する電流比較部とを備え、電流比較部は、電流ミラー構成を有する電流負荷部と、第1及び第2データ線と電流負荷部との接続を切り替える接続切り換え部とを備えることを特徴とする。また、請求項10に係る不揮発性半導体記憶装置は、第1及び第2データ線が電流比較部に接続され、電流比較部は、第1及び第2データ線に対して基準電流に相当する電流を流す電流負荷部を備えることを特徴とする。

【 0 0 5 4 】

請求項9の不揮発性半導体記憶装置では、記憶セル情報に基づく電流が流れる

第 1 データ線と、基準電流が流れる第 2 データ線とを、電流比較部の電流負荷部における電流ミラー構成に接続する際、適宜に接続を切り替える接続切り換え部を介して行う。また、請求項 1 0 の不揮発性半導体記憶装置では、電流比較部に接続される第 1 及び第 2 データ線に、電流負荷部から基準電流に相当する電流が流される。

【 0 0 5 5 】

これにより、記憶セル情報に基づく電流と、電流負荷部により供給される基準電流との差電流に基づき、記憶セル情報を読み出すことができる。

【 0 0 5 6 】

この時、接続切り換え部は、第 2 データ線が、電流負荷部の電流ミラー構成における基準側に接続されるように制御される。これにより、第 2 データ線を流れる基準電流が、電流ミラー構成を介して第 1 データ線に供給されるので、差電流を得ることができる。

【 0 0 5 7 】

また、接続切り換え部は、第 1 及び第 2 データ線の電圧に関わらず、電流負荷部側に印加される電圧を制限する分圧部を含むことが好ましい。また、請求項 1 0 の不揮発性半導体記憶装置においては、第 1 及び第 2 データ線と電流負荷部との間に、第 1 及び第 2 データ線の電圧に関わらず、電流負荷部側に印加される電圧を制限する分圧部を備えることが好ましい。これにより、第 1 及び第 2 データ線に書き込み時等の高電圧が印加される場合にも、電流負荷部の構成素子を低耐圧素子にすることができる。

【 0 0 5 8 】

また、電流負荷部から出力される電圧に関わらず、第 1 及び第 2 データ線側に印加される電圧を制限するバイアス部を備えることが好ましい。これにより、電流負荷部において、記憶セル情報に基づく電流と基準電流との差電流に基づいて発生する電圧値を次段回路に最適な電圧値としながら、第 1 及び第 2 データ線に印加される電圧値を制限して、第 1 及び第 2 データ線から第 1 及び第 2 デジタル線を通じて不揮発性記憶セルに印加される電圧を制限することができ、記憶セルのディスターブ現象を回避することができる。

【 0 0 5 9 】

尚、複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、所定数の前記ローカルディジット線毎に備えられ、ローカルディジット線が択一的に接続されるグローバルディジット線とを備えた階層的なビット線構造を有する不揮発性半導体記憶装置においても、ディジット線に代えてグローバルディジット線に上記の手段を適用すれば、同様な構成及び作用を有し、同様な効果を奏することができる。

【 0 0 6 0 】

【発明の実施の形態】

以下、本発明の不揮発性半導体記憶装置について具体化した第 1 乃至第 4 実施形態を図 1 乃至図 2 1 に基づき図面を参照しつつ詳細に説明する。

図 1 は、本発明の第 1 実施形態における不揮発性半導体記憶装置の全体構成図を示すブロック図である。図 2 は、第 1 実施形態におけるメモリコア部の原理構成図を示す回路図である。図 3 は、メモリコア部の第 1 具体例を示す回路図である。図 4 は、メモリコア部の第 2 具体例を示す回路図である。図 5 は、メモリコア部の第 1 及び第 2 具体例における冗長構成を示す回路図である。図 6 は、第 1 実施形態におけるコラム選択部の第 1 原理構成図を示す回路図である。図 7 は、コラム選択部の第 1 具体例を示す回路図である。図 8 は、実施形態におけるコラム選択部の第 2 原理構成図を示す回路図である。図 9 は、コラム選択部の第 2 具体例を示す回路図である。図 1 0 は、第 1 実施形態におけるロード部の第 1 原理構成図を示す回路図である。図 1 1 は、ロード部の第 1 具体例を示す回路図である。図 1 2 は、第 1 実施形態におけるロード部の第 2 原理構成図を示す回路図である。図 1 3 は、ロード部の第 2 具体例を示す回路図である。図 1 4 は、ロード部の第 3 具体例を示す回路図である。図 1 5 は、第 1 実施形態における電流比較部の原理構成図を示す回路図である。図 1 6 は、電流比較部の第 1 具体例を示す回路図である。図 1 7 は、電流比較部の第 2 具体例を示す回路図である。図 1 8 は、第 1 実施形態の読み出し動作を示す動作波形図である。図 1 9 は、第 2 実施形態のメモリコア部を示す回路図である。図 2 0 は、第 3 実施形態のメモリコア部を示す回路図である。図 2 1 は、第 4 実施形態のメモリコア部を示す回路図で

ある。

【 0 0 6 1 】

先ず、第 1 実施形態の不揮発性半導体記憶装置の全体構成を示す。図 1 の全体構成図では、図 2 2 に示す従来技術の不揮発性半導体記憶装置におけるメモリコア部 A 1 0 0、コラム選択部 B 1 0 0 に代えて、メモリコア部 A、コラム選択部 B を備えている。ここで、メモリコア部 A 内のグローバルビット線 G B L の選択方法が、メモリコア部 A 1 0 0 とは異なるため、ワード線 W L 選択用のデコーダは、デコーダ 1 0 1 に代えて、デコーダ 1、2 が備えられている。また、リファレンス専用のリファレンスバス線 R B 及び読み出し／プログラム共用のデータバス線 L D B に代えて、読み出し用のデータバス線としてデータバス線 L D B (1)、L D B (2) が 1 対で備えられると共に、プログラム用データバス線 W D B が別途備えられている。そして、読み出し時のデータバス線構造の変更に伴い、カスコード部 1 0 4、1 0 5、及び寄生容量の調整のための容量負荷 C L D 1、C L D 2 に代えて、ロード部 C、及び電流比較部 D が備えられている。ここで、データバス L D B (0)、L D B (1) は、8 ビット、1 6 ビット等の多ビット構成であるため、ロード部 C、及び電流比較部 D は、ビット幅分が備えられている。

【 0 0 6 2 】

図 1 において、メモリコア部 A は、ワード線 W L により選択される記憶セル M C が、グローバルビット線 G B L に接続されている様子を模式的に示している。記憶セル M C は、所定数毎にセクタ S E C m、S E C n に分割配置されており、デコーダ 1、2 により、セクタ内の所定グループ毎に選択されてグローバルビット線 G B L に接続されている。即ち、デコーダ 1 は、所定制御信号 S により、各セクタ S E C m、S E C n において、グローバルビット線 G B L のうち、グローバルビット線 G B L (0) に接続される記憶セル M C 群を選択するようにワード線 W L を活性化する。また、デコーダ 2 は、所定制御信号 S により、グローバルビット線 G B L (1) に接続される記憶セル M C 群を選択するようにワード線 W L を活性化する。ここで、グローバルビット線 G B L (0)、G B L (1) は、グローバルビット線 G B L を所定数毎に分割してグループ化したグローバルビッ

ト線群である。また、所定制御信号 S は、記憶セル MC が接続されるグローバルビット線 GBL (0)、GBL (1) のグループを選択する制御信号であり、専用の制御信号、あるいはアドレス信号の一部や、アドレス信号に基づき生成される信号である。デコーダ 1、2 は、アドレス信号 A d d をデコードして何れか 1 つのワード線 WL を選択し、グローバルビット線 GBL (0)、GBL (1) のうちの何れか一つのグループに記憶セル MC を接続する。

【 0 0 6 3 】

コラム選択部 B は、グローバルビット線 GBL (0)、GBL (1) を、読み出し時にデータバス線 LDB (0)、LDB (1) に接続する部分である。選択された記憶セル MC が接続されているグローバルビット線 (GBL (0)、あるいは GBL (1)) のうちから、読み出すべき記憶セル MC が接続されているグローバルビット線を選択してデータバス線 (LDB (0)、あるいは LDB (1)) に接続する。他方のデータバス線 (LDB (1)、あるいは LDB (0)) は、選択された記憶セル MC が接続されていないグローバルビット線 (GBL (1)、あるいは GBL (0)) が接続される。こうして選択されたデータバス線 LDB (0)、LDB (1) を 1 対として読み出しを行う。接続は、アドレス信号 A d d から生成したデコード信号により、グローバルビット線 GBL (0)、GBL (1) と、データバス線 LDB (0)、LDB (1) との間のスイッチ部を開閉制御することにより行う。

【 0 0 6 4 】

一方、プログラム時には、グローバルビット線 GBL (0)、GBL (1) は、プログラム用データバス線 WDB に接続される。選択された記憶セル MC が接続されているグローバルビット線 (GBL (0)、あるいは GBL (1)) のうちから、プログラムすべき記憶セル MC が接続されているグローバルビット線を選択してデータバス線 (LDB (0)、あるいは LDB (1)) に接続する。

【 0 0 6 5 】

ロード部 C は、データバス線 LDB (0)、LDB (1) に負荷 LD を接続すると共に、読み出し時、所定制御信号 / S により、選択された記憶セル MC に接続されないデータバス線 (LDB (1)、あるいは LDB (0)) に、リファレ

ンス電流源 I R F を接続する。ここで、負荷 L D は、記憶セル M C が接続されているローカルビット線からグローバルビット線 G B L (0) 、 G B L (1) を介してデータバス線 L D B (0) 、 L D B (1) に至る経路上の負荷と同等の負荷である。また、所定制御信号 / S は、専用の制御信号、あるいはアドレス信号の一部や、アドレス信号に基づき生成される信号である。

【 0 0 6 6 】

電流比較部 D は、データバス線 (L D B (0) 、あるいは L D B (1)) に流れる記憶セル情報に基づく電流を、データバス線 (L D B (1) 、あるいは L D B (0)) に流れるリファレンス電流 I R F を基準電流と比較して検出する。電流比較部 D において、データバス線 L D B (0) 、 L D B (1) は、インターフェース部 I F を介して電流負荷部 L I に接続されている。電流負荷部 L I は、リファレンス電流 I R F に相当する電流をデータバス線 L D B (0) 、 L D B (1) に流す。データバス線 L D B (0) 及び L D B (1) を流れる電流と、電流負荷部 L I からの電流との差電流が検出される。この差電流は、後段の差動アンプ 1 0 6 により増幅されて、記憶セル情報が読み出しデータ D A T A として出力される。

【 0 0 6 7 】

尚、以上に説明した以外の構成要素について、同一の番号を付したものは、従来技術と第 1 実施形態との間で同一の構成要素を現しており、ここでの説明は省略する。

【 0 0 6 8 】

次に、メモリア部 A 、コラム選択部 B 、ロード部 C 、及び電流比較部 D の各々の構成部分について、図 2 乃至 1 7 に基づき順次説明する。

【 0 0 6 9 】

先ず、メモリア部 A について図 2 乃至 5 により説明する。図 2 は、メモリア部 A 0 の原理構成図である。メモリア部 A 0 は、所定数の記憶セル毎に分割され、複数のセクタが構成されている。セクタ内には、各々、複数のローカルビット線が配置され、各ローカルビット線には、複数の記憶セルが接続されている。記憶セルは、記憶セル情報を格納する不揮発性トランジスタと、記憶セル情報

の読み出し時に基準電位への電流経路を形成するスイッチトランジスタとを備えている。また、ローカルビット線は、セクタスイッチを介してグローバルビット線に接続される。グローバルビット線は、隣接する2本で1対をなしており、セクタ毎に交互にローカルビット線と接続されている。図2では、2つのセクタ SEC_m 、 SEC_n が示されており、各々のセクタ SEC_m 、 SEC_n 内には、ローカルビット線 LBL_m 、 LBL_n が例示されている。ローカルビット線 LBL_m 、 LBL_n には、不揮発性トランジスタ MC_m 、 MC_n が接続されており、スイッチトランジスタ QS_m 、 QS_n を介して基準電位に接続されて記憶セルを構成している。ローカルビット線 LBL_m 、 LBL_n は、セレクトスイッチ SS_m 、 SS_n を介してグローバルビット線 GBL_m 、 GBL_n に接続される。

【0070】

セレクトスイッチ SS_m 、 SS_n は、制御信号 $SECY_m$ 、 $SECY_n$ で選択され、スイッチトランジスタ QS_m 、 QS_n は、制御信号 S_m 、 S_n で選択される。また、不揮発性トランジスタ MC_m 、 MC_n は、ワード線 WL_m 、 WL_n により選択される。制御信号 $SECY_m$ と S_m 及びワード線 WL_m 、あるいは制御信号 $SECY_n$ と S_n 及びワード線 WL_n は、選択される何れかのセクタ SEC_m 、 SEC_n に対して活性化され、選択された記憶セルをグローバルビット線 GBL_m 、 GBL_n に接続して、読み出し動作やプログラム動作が行われる。

【0071】

ここで、読み出し動作の際には、読み出し信号 R を受けた回路10が、制御信号 $SECY_m$ と $SECY_n$ とを同時に活性化する。図2においては、制御信号 $SECY_m$ と $SECY_n$ とを短絡するように示したが、制御信号 $SECY_m$ と $SECY_n$ とを同時に活性化する目的を達成することができれば短絡する方法には限定されない。他の方法として例えば、アドレス信号等からデコードされて生成される制御信号 $SECY_m$ 、 $SECY_n$ について、読み出し動作時にデコードの階層を1階層浅くすることにより、両制御信号を同時に活性化することも可能である。

【0072】

これにより、記憶セル情報が格納されている記憶セルをセクタ SEC_m 、 SEC_n

C_n毎にワード線W_{Lm}、W_{Ln}により選択するという従来のアクセス方法を踏襲しながら、読み出し時に、選択される記憶セルが接続されないローカルビット線L_{BLn}を、記憶セル情報が読み出されるグローバルビット線G_{BLm}に隣接するグローバルビット線G_{BLn}に接続することができる。隣接する2本のグローバルビット線G_{BLm}、G_{BLn}を1対として読み出し動作を行うことができる。

【0073】

以下、図2の原理構成図に基づくメモリア部の具体例を示す。図3は、第1具体例である。メモリア部A1内の2つのセクタSEC0、SEC1部分について示している。ここでは、セクタSEC0に配置されている記憶セルを選択する場合を考える。セクタSEC0が選択され制御信号S0が活性化されて、スイッチトランジスタQ_{S0}が活性化される。また、ワード線W_{L0}が活性化されると、選択された記憶セルMC00乃至MC07が、各ローカルビット線L_{BL0}0乃至L_{BL0}7に接続される。そして、スイッチトランジスタQ_{S0}を介して基準電位に接続され記憶セル情報に基づく電流経路が形成される。ローカルビット線L_{BL0}0乃至L_{BL0}7は、制御信号SECY00乃至SECY03のうち、何れか1つが活性化されることにより、該当するセクタスイッチSS00乃至SS07が選択されて、グローバルビット線G_{BL0}乃至G_{BL3}のうち、偶数番、あるいは奇数番のグローバルビット線G_{BL0}、2、あるいはG_{BL1}、3に接続される。

【0074】

セクタスイッチSS00乃至SS07によるローカルビット線の選択に合わせて、隣接する非選択のセクタSEC1における同様の位置関係にあるローカルビット線L_{BL1}0乃至L_{BL1}7が、該当するグローバルビット線に接続される。即ち、制御信号SECY00乃至SECY03に対して、制御信号SECY10乃至SECY13が同時に活性化され、セクタSEC0、SEC1内のローカルビット線L_{BL0}0乃至L_{BL0}7と、L_{BL1}0乃至L_{BL1}7が、共にグローバルビット線G_{BL0}とG_{BL1}、G_{BL2}とG_{BL3}に接続される。非選択セクタSEC1内のローカルビット線は、選択セクタSEC0内のローカルビ

ット線と同数の記憶セルが接続されており、セクタ内の位置関係も同等であるので、周囲環境との物理パラメータも同等であり、同等の寄生容量を有している。また、両ローカルビット線が接続されるグローバルビット線は、隣接配置されているので、周囲環境からの物理パラメータが同等であり、同等の寄生容量を有する。

【 0 0 7 5 】

第 1 具体例 A 1 によれば、選択セクタ SEC 0 のローカルビット線が接続され、記憶セル情報が伝播するグローバルビット線 GBL 0、GBL 2、あるいは GBL 1、GBL 3 をセル情報側とし、非選択セクタ SEC 1 のローカルビット線が接続されるグローバルビット線 GBL 1、GBL 3、あるいは GBL 0、GBL 2 をリファレンス側として、両グローバルビット線を 1 対として記憶セル情報を読み出す際、経路上に存在する寄生容量による負荷をセル情報側とリファレンス側とで理想的に同等とすることができる。

【 0 0 7 6 】

また、1 対のグローバルビット線 GBL 0 と GBL 1、GBL 2 と GBL 3 が隣接して配置されているので、一方のグローバルビット線に印加されたノイズは、他方のグローバルビット線にも伝播され、隣接するグローバルビット線間で、同等のノイズが乗る。従って、両グローバルビット線を 1 対とする読み出し動作において、ノイズの影響を相殺することができる。

【 0 0 7 7 】

尚、制御信号 SECY 1 0 乃至 SECY 1 3 のセクタ SEC 1 内での接続関係をセクタ SEC 0 と同様として、制御信号 SECY 1 0 乃至 SECY 1 3 の生成回路（図 3 中、下段の論理回路）の回路構成をセクタ間で同一にしながら（図 3 中、I I）、読み出し動作において対を構成するグローバルビット線 GBL 0 と GBL 1、GBL 2 と GBL 3 を、セクタ間で交差させることにより（図 3 中、I）、隣接グローバルビット線 GBL 0 と GBL 1、GBL 2 と GBL 3 に接続されるローカルビット線の位置関係を同様な位置関係にすることができる。これにより、隣接グローバルビット線に接続されるローカルビット線の各々は、他のローカル／グローバルビット線、ワード線、その他の配線、及び構成素子等の周

辺構造との間で、同等の位置関係を有することとなる。また、隣接グローバルビット線GBL0とGBL1、GBL2とGBL3もセクタ毎に交差するので、周辺構造との位置関係も同等となる。従って、これらの周辺構造との間で形成される寄生容量は、両経路間で同等とすることができる。

【0078】

ここで、制御信号SECY10乃至SECY13を生成する生成回路を図3の下段に示す。アドレス信号等からデコード等されたグローバルビット線に接続すべきセクタスイッチ位置を示す制御信号SEC_n (n=0乃至3)は、アンドゲート12、14に入力されている。アンドゲート12、14の他方の入力端子には、オアゲート11、13の出力端子が接続されている。オアゲート11、13には、セクタSEC0、SEC1を選択する制御信号S0、S1と、読み出し信号Rが入力されている。プログラム動作の場合には、選択セクタに応じてオアゲート11、13の何れか一方が活性化されるため、アンドゲート12、14の何れか一方が活性化され、制御信号SECY0_n、あるいはSECY1_n (n=0乃至3)が活性化されることにより、選択された記憶セルに至るセクタスイッチのみが活性化される。しかるに読み出し動作においては、読み出し信号Rにより、オアゲート11、13が共に活性化され、制御信号SECY0_n、SECY1_n (n=0乃至3)が共に活性化される。選択された記憶セルに至るセクタスイッチのみではなく、非選択セクタにおける同等位置にあるローカルビット線も、隣接グローバルビット線に接続される。

【0079】

図4は、第2具体例A2である。基本的な構成、作用は、第1具体例A1と同様である。第1具体例A1との違いは、グローバルビット線がセクタ毎に交差しないことである(図4中、I)。これに伴い、制御信号SECY10乃至SECY13のセクタSEC1内での接続関係をセクタSEC0における接続関係とは変えている(図4中、II)。即ち、読み出し時、図3の生成回路(図3中、下段の論理回路)により、制御信号SECY00乃至SECY03と、制御信号SECY10乃至SECY13とを同時出力しながら、セクタSEC0に対してセクタSEC1におけるセクタスイッチの選択位置をずらすことにより、選択セク

タ SEC 0 と非選択セクタ SEC 1 とのローカルビット線を隣接するグローバルビット線 GBL 0 と GBL 1、GBL 2 と GBL 3 に接続している。具体的には、制御信号 SECY 0 0、SECY 1 0 に対してはセクタスイッチ SS 0 0 と SS 0 4、SS 1 2 と SS 1 6 を選択、SECY 0 1、SECY 1 1 に対しては SS 0 1 と SS 0 5、SS 1 3 と SS 1 7、SECY 0 2、SECY 1 2 に対しては SS 0 3 と SS 0 7、SS 1 1 と SS 1 5、SECY 0 3、SECY 1 3 に対しては SS 0 2 と SS 0 6、SS 1 0 と SS 1 4 を選択する。

【 0 0 8 0 】

第 2 具体例 A 2 によれば、選択セクタのローカルビット線が接続されるセル情報側のグローバルビット線と、非選択セクタのローカルビット線が接続されるリファレンス側のグローバルビット線側とを、1 対として記憶セル情報を読み出す際、経路上に存在する寄生容量による負荷をセル情報側とリファレンス側とで理想的に同等とすることができる。

【 0 0 8 1 】

また、1 対のグローバルビット線が隣接して配置されているので、一方のグローバルビット線に印加されたノイズは、他方のグローバルビット線にも伝播され、グローバルビット線間で同等のノイズが乗り、1 対のグローバルビット線間で同相のノイズが印加されることとなる。1 対のグローバルビット線を隣接することにより、両グローバルビット線を 1 対とする読み出し動作において、ノイズの影響を相殺することができる。

【 0 0 8 2 】

第 1 及び第 2 具体例 A 1、A 2 により具体化したメモリコア部の原理構成図 A 0 によれば、読み出し動作において、セル情報側のグローバルビット線 (GBL m あるいは GBL n) と、同等な経路構成を有するリファレンス側のグローバルビット線 (GBL n あるいは GBL m) とを 1 対とし、隣接配置する。これにより、製造バラツキや、チップあるいはウェハ面内におけるバラツキに関わらず、1 対のグローバルビット線 GBL m、GBL n は、常に同等の寄生容量による負荷を有することとなり、読み出し時において同等な過渡応答特性が安定して得られる。従って、1 対のグローバルビット線 GBL m、GBL n における電位変化

が平衡状態に落ち着くのを待たず過渡期間にセンスしても、記憶セル情報を安定して高速に読み出すことができる。また、両経路には同相のノイズが乗るので、ノイズは相殺され、記憶セル情報の読み出し信頼性が向上する。

【 0 0 8 3 】

また、選択セクタ (SECMあるいはSECn) に隣接する非選択セクタ (SECnあるいはSECM) 内のローカルビット線 (LBLnあるいはLBLm) を、リファレンス側の負荷として使用することができる。また、両セクタは隣接しているので、各々のセクタSECM、SECnからグローバルビット線GBLm、GBLnに至る経路間の寄生容量による負荷、及びノイズによる影響を同等にすることができる。

【 0 0 8 4 】

図5には、第1及び第2具体例A1、A2における、欠陥救済のための冗長構成SP0、SP1を示している。冗長構成SP0、SP1は、セクタSEC0、SEC1における読み出しの基本構成である1対のグローバル線GBL0とGBL1、GBL2とGBL3に接続されている構成と同様な構成を最小単位として構成されている。図5においては、グローバルビット線SGBL0、SGBL1を1対とした構成を示している。これにより、欠陥を救済して冗長構成SP0、SP1から記憶セル情報を読み出す場合にも、隣接するグローバルビット線SGBL0、SGBL1を1対とした読み出し構成を維持することができ、冗長構成SP0、SP1に移行しない場合と同等な読み出し性能を維持することができる。グローバルビット線SGBL0、SGBL1の冗長構成SP0、SP1毎の接続関係や、制御信号SPY00乃至SPY03とSPY10乃至SPY13との接続関係は、第1及び第2具体例A1、A2に合わせて、適宜調整する。

【 0 0 8 5 】

尚、制御信号SPY00乃至SPY13を生成する生成回路 (図4中、下段の論理回路) は、図3に示した制御信号SECY00乃至SECY13を生成する生成回路と同様である。冗長構成SP0、SP1におけるセクタスイッチ位置を示す制御信号SPn (n=0乃至3) と、セクタSEC0、SEC1を選択する制御信号S0、S1、及び読み出し信号Rにより、読み出し動作において、制御

信号 $SPY0n$ 、 $SPY1n$ ($n = 0$ 乃至 3) が共に活性化される。

【0086】

次に、コラム選択部 B について図 6 乃至 9 により説明する。図 6 は第 1 原理構成図 B 0 1 であり、その具体例を第 1 具体例 B 1 として図 7 に示し、図 8 は第 2 原理構成図 B 0 2 であり、その具体例を第 2 具体例 B 2 として図 9 に示している。

【0087】

図 6 の第 1 原理構成図 B 0 1 では、メモリア部 A 内のグローバルビット線 GBL と、外部データバス (LDB : 読み出し用、 WDB : プログラム用) との接続を、各々異なる経路で行い、専用のパスゲート (リード用パスゲート 2 1、プログラム用パスゲート 2 0) を備える構成である。リード用パスゲート 2 1 からは、読み出し用の 1 対のデータバス $LDB(0)$ 、 $LDB(1)$ が出力されており、1 対のグローバルビット線と接続される。一方、プログラム用パスゲート 2 0 では、書き込み用のデータバス WDB がグローバルビット線 GBL に接続される。パスゲートを選択するコラム選択信号 ($YDR1$: 読み出し用、 $YDP1$ 、 $YDP0$: プログラム用) は、各々、リード用デコード部 2 3、プログラム用デコード部 2 2 によりアドレス信号 Add をデコードして得られる。

【0088】

図 7 に示す第 1 具体例 B 1 では、32 本のグローバルビット線 $GBL0$ 乃至 $GBL31$ が、16 本のコラム選択信号 $YDR10$ 乃至 $YDR1F$ 、 $YDP10$ 乃至 $YDP1F$ により、隣接する 1 対のグローバルビット線毎に選択される。読み出しの場合は、この 1 対のグローバルビット線が 1 対のデータバス $LDB0$ 、 $LDB1$ に接続される。プログラムの場合は、更に 2 本のコラム選択信号 $YDP0E$ 、 $YDP0O$ で、1 対のグローバルビット線のうち何れか一方が選択されてプログラム用のデータバス線 WDB に接続される。

【0089】

読み出し側のパスゲート 2 1 は、2 つのパスゲートトランジスタ $PG00$ と $PG01$ 乃至 $PGF0$ と $PGF1$ を 1 対として、16 本のコラム選択信号 $YDR10$ 乃至 $YDR1F$ により制御される。読み出し時の記憶セル情報は電流信号であ

り、また、不揮発性記憶セルへの不測の電圧印加によるディスタート現象を防止するため、読み出し時にグローバルビット線GBL0乃至GBL31に現れる電圧は0.5V程度に制限されている。そのため、コラム選択信号YDR10乃至YDR1Fの駆動電圧も高電圧は必要とされない。図7においては、周辺論理回路の電源電圧VCCで駆動されている。ここで、電源電圧VCCの具体的な電圧値はプロセステクノロジーに依存するが、例えば、3V、2.5V、1.8V等が考えられる。即ち、アドレス信号Add(u)をデコードしてコラム選択信号YDR10乃至YDR1F出力するリード用デコード部23は、周辺論理回路と同じデバイスで構成することができ、高速動作をさせることができる。

【0090】

また、パスゲートトランジスタPG00とPG01乃至PGF0とPGF1は、読み出し専用であり、従来技術のようなプログラム用と兼用された高駆動能力トランジスタ(図24)は不要である。読み出し時の電流はプログラム時に比して小さいので、駆動能力を小さく設定することができ、ゲート容量も小さくすることができる。リード用デコード部23の高速動作と相俟って、パスゲートトランジスタPG00乃至PGF1のスイッチングも高速動作をさせることができ、グローバルビット線からデータバス線LDB0、LDB1への電流経路選択の高速化を実現することができる。

【0091】

プログラム側のパスゲート20は、2つのパスゲートトランジスタを1対とした16対から、コラム選択信号YDP10乃至YDP1Fにより1対を選択する読み出し側と同様構成の第1段と、選択された1対のうちコラム選択信号YDP0E、YDP00により何れか一方を選択する第2段との2段構成で、プログラム用データバスWDBとグローバルビット線GBL0乃至GBL31のうちの1本を接続する。コラム選択信号YDP10乃至YDP1Fを出力する第1段プログラム用デコード部22Aは、上位のアドレス信号Add(u)をデコードし、コラム選択信号YDP0E、YDP00を出力する第2段プログラム用デコード部22Bは、最下位のアドレス信号Add(LSB)をデコードする。

【0092】

プログラム動作においては、不揮発性記憶セルにプログラム電圧 V_{PP} を印加してキャリアをプログラムする必要から、パスゲートトランジスタは、高耐圧、高電流駆動能力が必要とされており、このパスゲートトランジスタを駆動するプログラム用デコード部 22A、22B も高電圧であるプログラム電圧 V_{PP} で駆動される。これらを高耐圧素子で構成することにより確実にプログラム動作を行わせることができる。パスゲートトランジスタは所定駆動能力以上の駆動能力を有するトランジスタサイズが必要とされ、このトランジスタを駆動するプログラム用デコード部 22A、22B にも相応の駆動能力が必要とされる。パスゲート 20 の構成を 2 段構成とすることにより、駆動能力を保ちながらプログラム用デコード部 22A、22B における駆動回路数の圧縮を図り、チップ上の占有面積の縮小を図ることができる。即ち、従来技術における 1 段構成（図 24）では、32 セットの駆動回路が必要になるのに対して、図 7 では、18 セットの駆動回路で構成することができる。

【0093】

第 1 具体例のコラム選択部 B1（原理構成図 B01）によれば、所定数のグローバルビット線 GBL_0 乃至 GBL_{31} から、該当する 1 対のグローバルビット線を選択する際、アドレス信号 $Add(u)$ 、 $Add(LSB)$ 等をデコードする必要がある。読み出し時には、1 対のグローバルビット線を共に選択するので、デコード階層を、書き込みに比して浅く設定することができ、読み出し用のコラム選択部 21、23 をコンパクトにすることができる。

【0094】

また、記憶セル情報の読み出し時とプログラム時とにおいて、パスゲートトランジスタの電流駆動能力が、小さい／大きいトランジスタを備えておく。読み出し時及びプログラム時において、最適な電流駆動能力でグローバルビット線とデータバス線とを接続することができる。

【0095】

図 8 の第 2 原理構成図 B02 では、パスゲートは、グローバルビット線 GBL から 1 対を選択して 1 対の読み出し用のデータバス線 $LDB(0)$ 、 $LDB(1)$ に接続する 1 段目パスゲート 24 と、1 対のデータバス線 $LDB(0)$ 、 LD

B (1) のうち何れか一方を選択してプログラム用のデータバスWDBに接続する2段目パスゲート25から構成されており、読み出し用の電流経路である1段目パスゲート24に2段目パスゲート25を加えて、プログラム用の電流経路を形成する構成である。パスゲートを選択するコラム選択信号YD1、YD0は、デコード部26によりアドレス信号Addをデコードして得られる。コラム選択信号YD1は1段目パスゲート24の選択に、コラム選択信号YD0は2段目パスゲート25の選択に使用される。

【0096】

図9に示す第2具体例B2のパスゲートは、図7に示す第1具体例B1におけるプログラム側のパスゲート20と同様の構成である。パスゲート20に加えて、1段目パスゲート24と2段目パスゲート25との接続点を、読み出し用の1対のデータバスLDB0、LDB1としている。コラム選択信号YDP10乃至YDP1Fにより、16対のパスゲートトランジスタPG00とPG01乃至PGF0とPGF1から1対を選択して、1対のグローバルビット線GBL0とGBL1乃至GBL30とGBL31を読み出し用のデータバスLDB0、LDB1に接続する。コラム選択信号YDP0E、YDP0Oが、パスゲートトランジスタPGE、PGOの何れか一方を選択して、データバスLDB0、LDB1の何れかをプログラム用のデータバスWDB0に接続する。

【0097】

プログラム動作において、不揮発性記憶セルにプログラム電圧VPPを印加する必要から、1段目、2段目のパスゲート24、25は何れも高耐圧トランジスタで構成される。また、読み出し時の電流駆動能力は小さくすることができる一方で、プログラム時には高電流駆動が必要とされる。1段目パスゲート24の構成トランジスタPG00乃至PGF1の駆動能力を小さくして寄生容量成分を抑制しながら、2段目パスゲート25の構成トランジスタPGE、PGOを十分に大きな駆動能力としてオン抵抗を小さくする。これにより、読み出し経路の寄生容量が小さく維持され高速読み出しを可能としながら、2段のパスゲート24、25により2つのトランジスタのオン抵抗としてプログラム経路に挿入される抵抗成分が小さく維持され、良好なプログラム特性を確保することができる。

【0098】

更に、第2具体例B2では、パスゲート及びデコード部を読み出し側とプログラム側とで一部共用するので、コラム選択部B2をコンパクトな素子数で構成することができる。

【0099】

次に、ロード部Cについて図10乃至14により説明する。図10は、ロード部Cの第1原理構成図C01である。ロード部C01は、読み出し用のデータバス線LDB(0)、LDB(1)の各々に、負荷LDと、メモリア部Aにおける不揮発性記憶セルMC及びスイッチトランジスタQSと同等な構成を有する、不揮発性記憶セルRC(0)、RC(1)及びスイッチトランジスタQSL(0)、QSL(1)とを接続する構成である。ここで、負荷LDは、メモリア部A内のローカルビット線及びグローバルビット線からコラム選択部Bを介してデータバス線LDB(0)、LDB(1)に至る経路上に存在する負荷LDと同等の負荷LDである。また、不揮発性記憶セルRC(0)、RC(1)及びスイッチトランジスタQSL(0)、QSL(1)はリファレンスセルであり、不揮発性記憶セルMC及びスイッチトランジスタQSに格納されている記憶セル情報に基づく電流Idatを検出するためのリファレンス電流Irefを流す。スイッチトランジスタQSL(0)、QSL(1)は、電流Idatが流れるデータバス線LDB(0)と対をなすデータバス線LDB(1)にリファレンス電流Irefを流すように開閉制御される。

【0100】

図11に示す第1具体例C1では、データバス線LDB0、LDB1の各々に、同等なロード部分が接続されている。各ロード部分は、リファレンスセル部33、34と、スイッチトランジスタQSL0、QSL1を有する選択部31、32とを備えており、この接続順序でデータバス線LDB0、LDB1と基準電位との間に接続されている。

【0101】

リファレンスセル部33、34は、リファレンスセルRC0、RC1と、負荷LDとしてトランジスタPGL0とSSL0、PGL1とSSL1とを備えて構

成されている。ここで、トランジスタ $SSL0$ と $SSL1$ は、ローカルビット線とグローバルビット線とを接続するセクタスイッチ（図2における SSm 、 SSn 、図3、4における $SS00$ 乃至 $SS17$ ）と同等な構成を有するトランジスタである。また、トランジスタ $PGL0$ と $PGL1$ は、コラム選択部 $B1$ 、 $B2$ における読み出し用のパスゲート 21 、 24 を構成するパスゲートトランジスタ（図7、9における $PG00$ 乃至 $PGF1$ ）と同等な構成を有するトランジスタである。これらのトランジスタのゲートに電源電圧 VCC を印加することにより、ローカルビット線からデータバス線 $LDB0$ 、 $LDB1$ に至る経路に存在するトランジスタと同等な負荷 LD を構成している。尚、リファレンスセル $RC0$ 、 $RC1$ のゲートは、後述のスイッチトランジスタ $QSL0$ 、 $QSL1$ を開閉制御するリファレンス選択信号 $Y01$ 、 $Y00$ 、あるいはこれらの信号と同相の信号により制御される。

【0102】

スイッチトランジスタ $QSL0$ 、 $QSL1$ は、リファレンスセル部 33 、 34 と、基準電位の間に備えられており、最下位のアドレス信号 Add (LSB) をデコードして得られるリファレンス選択信号 $Y01$ 、 $Y00$ により何れか一方が選択される。ここでの選択は、情報の読み出しが行われる記憶セルが接続されるデータバス線 $LDB0$ あるいは $LDB1$ と対をなすデータバス線 $LDB1$ あるいは $LDB0$ である。

【0103】

第1具体例 $C1$ に示された第1原理構成のロード部 $C01$ によれば、データバス線 $LDB0$ 、 $LDB1$ の各々に接続されるロード部 $C1$ （第1原理構成図 $C01$ ）は、記憶セル情報に基づきデータバス線 $LDB0$ あるいは $LDB1$ を流れる電流 I_{dat} に対して基準となるリファレンス電流 I_{ref} を、データバス線 $LDB1$ あるいは $LDB0$ に流す。また、不揮発性記憶セル MC からデータバス線 $LDB0$ 、 $LDB1$ に至る経路にある負荷 LD （図10）と同等な負荷 $PGL0$ と $SSL0$ 、 $PGL1$ と $SSL1$ （図11）を有して構成されている。負荷が相互に同等なため、記憶セル情報に基づく電流 I_{dat} とリファレンス電流 I_{ref} との電流経路を含め、1対のデータバス線 $LDB0$ 、 $LDB1$ は同等な構成を

有することとなり、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、データバス線LDB0、LDB1を1対とする読み出し動作を確実に行うことができる。

【0104】

また、ロード部C1（第1原理構成図C01）は、不揮発性記憶セルMCと同等なリファレンスセルRC0、RC1を備えている。このリファレンスセルRC0、RC1によりリファレンスIref電流を生成するので、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、不揮発性記憶セルMCの記憶セル情報に基づく電流Idatとの整合性が良好なリファレンス電流Irefを生成することができ、データバス線LDB0、LDB1を1対とする読み出し動作を確実に行うことができる。

【0105】

また、リファレンスセルRC0、RC1は、記憶セル情報が格納される不揮発性記憶セルMCの配置領域とは異なる配置領域に配置することもできる。これにより、リファレンスセルRC0、RC1には、プログラム時等に不揮発性記憶セルMCに印加される電圧ストレスは印加されず、リファレンスセルRC0、RC1の特性変動は招来されないため、安定したリファレンス電流Irefを生成することができる。

【0106】

また、リファレンスセルRC0、RC1と、基準電位とを接続するスイッチトランジスタQSL0、QSL1は、不揮発性記憶セルMCのソース側に接続される負荷となるスイッチトランジスタQSと同等な負荷に設定することができ、記憶セル情報に基づく電流Idatの電流経路とリファレンス電流Irefの電流経路との経路上の負荷を更に精度良く合せこむことができる。

【0107】

図12は、ロード部Cの第2原理構成図C02である。ロード部C02は、第1原理構成図C01と同様な、負荷LDと、スイッチトランジスタQSL(0)、QSL(1)を備えると共に、不揮発性記憶セルRC(0)、RC(1)に代えて、電圧制御電流源IRF(0)、IRF(1)を備えて構成されるロード部

分36をそなえている。更に、メモリコア部Aにおける不揮発性記憶セルMC及びスイッチトランジスタQSと同等な不揮発性記憶セルRC0及びスイッチトランジスタQSL0とを有してリファレンス電流Irefを生成し、このリファレンス電流Irefを電圧値に変換する電流電圧変換部37を有するレギュレータ部を備えている。ロード部C02は、電流電圧変換部37により、リファレンス電流Irefに応じて出力されるレギュレート電圧で電圧制御電流源IRF(0)、IRF(1)を制御することにより、リファレンス電流Irefに相当する電流をロード部分36から出力する。スイッチトランジスタQSL(0)、QSL(1)は、第1原理説明図C01と同様に択一的に選択される。一方、不揮発性記憶セルRC0及びスイッチトランジスタQSL0は、読み出し動作においては、常に選択されリファレンス電流Irefを生成する。

【0108】

図13に示す第2具体例C2では、ロード部分36は、第1具体例C1と同様に、リファレンスセル部43、44と、スイッチトランジスタQSL0、QSL1を有する選択部41、42とを備えている。異なる点は、リファレンスセル部43、44において、不揮発性記憶セルRC0、RC1に代えて、レギュレート電圧I_{bias}で制御される負荷部としてトランジスタQLL0、QLL1が挿入されている点である。尚、この負荷トランジスタQLL0、QLL1は、後述するレギュレータ部35の負荷トランジスタQLR0と同等の構成である。

【0109】

不揮発性記憶セルRC2をリファレンスセルとして含むレギュレータ部35には、選択部38、リファレンスセル部39、及びバイアス部40を備えている。また、レギュレータ部35は、リファレンスセルIrefを生成する基準電流生成部（図13中、レギュレータ部35の左側）と、リファレンス電流Irefをレギュレート電圧I_{bias}に変換するレギュレート電圧生成部（図13中、レギュレータ部35の右側）で構成されている。これらの構成について、選択部38、リファレンスセル部39は、第1具体例C1における選択部31、32、及びリファレンスセル部33、34と基本的に同様である。異なる点は、選択部38のスイッチトランジスタQSR0、QSR1のゲートが、電源電圧VCCに

接続されている点、及びリファレンスセル部39のレギュレート電圧生成部において、不揮発性記憶セルに代えて負荷部としてトランジスタQ_{L R 0}が挿入されている点である。スイッチトランジスタQ_{S R 0}、Q_{S R 1}への電源電圧V_{CC}印加は、読み出し時、レギュレータ部35を常時活性化しておくためであり、負荷部トランジスタQ_{L R 0}への置き換えは、レギュレート電圧I_{__b i a s}を生成するためである。バイアス部40は、基準電流生成部で生成したリファレンス電流I_{r e f}を、レギュレート電圧生成部にミラーするための電流ミラー部（トランジスタQ_{M R 0}、Q_{M R 1}）を備えている。更に、レギュレータ部35における電流と電圧との関係を、後述の電流比較部D₁、D₂とロード部分36との間の関係と一致させるため、電流比較部D₁、D₂において配置されるバイアストランジスタQ_{B 0}乃至Q_{B 3}、及び分圧トランジスタQ_{D 0}乃至Q_{D 5}（図16、17）に相当するトランジスタQ_{B R 0}、Q_{B R 1}、及びトランジスタQ_{D R 0}、Q_{D R 1}を備えている。また、電流ミラー部のゲート端子はP_{L O A D}として出力されており、電流比較部D₂において使用される。

【0110】

レギュレータ部35のレギュレート電圧生成部において、ミラーされたリファレンス電流I_{r e f}に応じたレギュレート電圧I_{__b i a s}を生成するために、負荷部トランジスタQ_{L R 0}のゲート端子と、電流ミラー部Q_{M R 1}のドレイン端子とが接続されている。電流ミラー部を構成するトランジスタQ_{M R 1}が飽和状態で動作している場合には、電流ミラー部のトランジスタQ_{M R 1}は高出力インピーダンス状態で動作する。ドレイン電圧に依存せずリファレンス電流I_{r e f}に略等しい電流に維持できるので、この電流I_{r e f}が負荷トランジスタQ_{L R 0}にも流れるようにレギュレート電圧I_{__b i a s}が制御されることとなる。このレギュレータ電圧I_{__b i a s}が、ロード部分36の負荷トランジスタQ_{L L 0}、Q_{L L 1}のゲート端子に入力される。前述したように、レギュレータ部35は、後述の電流比較部D₁、D₂を含めたロード部分36と同等の構成を有しているので、ロード部分36にもリファレンス電流が流れることとなる。

【0111】

図14には第3具体例C3を示す。基本的な構成は第2具体例C2と同様であ

るので、ここでの説明は省略する。第3具体例C3では、レギュレート電圧 I_{bias} を生成するため、レギュレータ部35にオペアンプ部45を備えている。オペアンプ部45は、入力差動対トランジスタQP1、QP2と能動負荷トランジスタQN1、QN2とで構成されており、スイッチトランジスタQN3、QN4で活性化されると、電流源トランジスタQP3からのバイアス電流が流れることにより、オペアンプ動作を行っている。入力差動対トランジスタQP1、QP2には、リファレンスセル部39における、不揮発性記憶セルのドレイン電位と負荷部トランジスタのドレイン電位とが入力されており、両電位が同等の電位になるようにレギュレート電圧 I_{bias} が制御される。

【0112】

第2及び第3具体例C2、C3に示された第2原理構成のロード部C02によれば、リファレンスセルとしての不揮発性記憶セルRC2は、不揮発性半導体記憶装置内に1つあれば足り、ロード部分36毎に備える必要はない。不揮発性半導体記憶装置が多ビット出力構成である場合、ビット幅分のデータバス線対が必要となり、各々にロード部分36が接続されることとなる。この場合にも、不揮発性記憶セルRC2は1つ備えていれば良い。不揮発性記憶セルRC2の配置個数を必要最小限にすることができダイサイズの縮小に寄与することができる。また、複数の不揮発性記憶セルRC2を備える場合に留意する必要がある特性バラツキの調整も不要となり好都合である。

【0113】

また、ロード部分36において、データバス線LDB0、LDB1の双方に、不揮発性記憶セルMCからの経路にある負荷LD（図10）と同等な負荷PGL0とSSL0、PGL1とSSL1（図13）が接続され、何れか一方にリファレンス電流が流れる構成により、ロード部分36を含めて1対のデータバス線LDB0、LDB1は同等な構成となり、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず読み出し動作を確実に行うことができる点、ロード部C2、C3にある不揮発性記憶セルRC2は、記憶セル情報が格納される不揮発性記憶セルMCとは異なる配置領域に配置されるため、電圧ストレスの影響を受けずリファレンスセルRC2の特性変動は生じない点、及びスイッチトランジス

タ Q S L 0、Q S L 1 の挿入位置より、負荷バランスを更に精度良く合せこむことができる点については、第 1 具体例 C 1 と同様である。

【 0 1 1 4 】

次に、電流比較部 D について図 1 5 乃至 1 7 により説明する。図 1 5 は、電流比較部 D 0 の原理構成図である。選択された記憶セルが接続されて、データバス線 L D B (0) あるいは L D B (1) に流れる記憶セル情報に基づく電流 I d a t と、対をなすデータバス線 L D B (1) あるいは L D B (0) に接続されたロード部 C により流れるリファレンス電流 I r e f とは、電流比較部 D 0 に入力される。入力された電流 I d a t、I r e f は、インターフェース部 5 1 を介して電流負荷部 5 2 に接続される。電流負荷部 5 2 からの電流を、リファレンス電流 I r e f に相当する所定電流に設定しておけば、入力された電流 I d a t、I r e f の各々から所定電流を減じた電流が算出される。両者の差電流は、電流値のまま、あるいはインターフェースを介して適宜な電圧レベルにシフトした上で差電圧として、差動出力端子 S N (0)、S N (1) に現れる。この差信号を後段の差動アンプ 1 0 6 により増幅してやれば、記憶セル情報がデータ D A T A として得られる。ここで、インターフェース部 5 1 は、差動出力端子 S N (0)、S N (1) を適宜な電圧レベルにシフトする他、データバス線 L D B (0)、L D B (1) の電圧レベルを調整したり、あるいはデータバス線 L D B (0)、L D B (1) と電流負荷部 5 2 との接続関係を適宜に切り替える機能を有するものである。

【 0 1 1 5 】

図 1 6 に示す第 1 具体例 D 1 では、インターフェース部 5 1 A は、データバス線 L D B 0、L D B 1 と電流負荷部 5 2 A との接続関係を適宜に切り替える接続切り換え部 Q D 0 乃至 Q D 3 と、差動出力端子 S N 0、S N 1 の電圧に関わらず、データバス線 L D B 0、L D B 1 に印加される電圧値を制限するためのバイアス部 Q B 0、Q B 1 とを備えている。電流負荷部 5 2 A は、独立したカレントミラー回路で構成されており、トランジスタ Q M 1 のゲート・ドレイン間を接続して基準側のトランジスタとし、更にトランジスタ Q M 0 のゲート端子を接続して電流をミラーしている。

【0116】

インターフェース部51Aの接続切り換え部QD0乃至QD3は、リファレンス電流I_{ref}が流れるデータバス線LDB0あるいはLDB1が、電流負荷部52Aのカレントミラー回路における基準側トランジスタQM1に接続されるように接続を切り替える。即ち、データバス線LDB0がリファレンス側である場合には、制御信号Y01によりトランジスタQD2、QD3を導通し、データバス線LDB1がリファレンス側である場合には、制御信号Y00によりトランジスタQD0、QD1を導通する。これにより、リファレンス電流I_{ref}がカレントミラー回路の基準側に入力されて、反対側にリファレンス電流に相当する電流をミラーすることができる。また、バイアス部QB0、QB1は、差動出力端子SN0、SN1における設定電圧に関わらず、データバス線LDB0、LDB1の電圧を、バイアス電圧Biasから閾値電圧降下した電圧に制限する。これは、電源電圧VCCから電流負荷部52Aを介して差動出力端子SN0、SN1に設定される動作電圧が、後段の差動アンプ106の入力電圧範囲に対して許容範囲内にある必要があり、この電圧は差動アンプ106の入力回路構成に依存するが、一般的に電源電圧VCCに対して所定の中位電圧である。これに対して、データバス線LDB0、LDB1は、読み出し時、不揮発性記憶セルMC（図1）までの経路が確立されているので、データバス線LDB0、LDB1に印加される電圧が過大であると、不揮発性記憶セルMC（図1）に不測のプログラム動作が行われる、所謂ディスターブ現象が発生する虞がある。バイアス部QB0、QB1は、両者の要求を満足するために挿入されている。ディスターブ現象を防止するためには、データバス線LDB0、LDB1の電位を0.5V程度にすることが好ましいため、バイアス電圧Biasは、0.5V+閾値電圧程度に設定されている。

【0117】

また、データバス線LDB0、LDB1にプログラム等により高電圧VPP等が印加される場合には、接続切り換え部QD0乃至QD3は、高耐圧素子で構成しておく必要がある。一方、制御信号Y00、Y01は、データバス線LDB0、LDB1の電位が0.5V程度である読み出し時に、接続切り換え部QD0乃

至QD3を導通すればよいので、電源電圧VCC等の低電圧で駆動することができる。この設定にしておけば、データバス線LDB0、LDB1に高電圧VPP等が印加されても、差動出力端子SN0、SN1には、電源電圧VCC以下の電圧が印加されるに留まり、電流負荷部52Aや差動アンプ106等を低耐圧素子で構成することができ、読み出し時の高速動作を実現することができる。ここで、データバス線LDB0、LDB1に高電圧VPP等が印加される場合があるのは、コラム選択部B2を使用した場合等である。

【0118】

図17に示す第2具体例D2では、インターフェース部51Bは、インターフェース部51Aとは異なり、接続切り換え部QD0乃至QD3に代えて分圧部QD4、QD5を備え、更にバイアス部QB2、QB3とを備えている。電流負荷部52Aは、ロード部の第2具体例C2で出力される電流ミラー部のゲート端子PLOADが接続された定電流トランジスタQM2、QM3を構成している。トランジスタQM2、QM3は、ロード部の第2具体例C2における電流ミラー部QMR0、QMR1と共にカレントミラー回路を構成している。従って、定電流トランジスタQM2、QM3には、共にリファレンス電流の相当する電流が流れている。それゆえ、データバス線LDB0、LDB1のうち何れがリファレンス側になっても第1具体例と同様に差電流を検出することができる。

【0119】

第1具体例D1の接続切り換え部QD0乃至QD3に代えて備えられている分圧部QD4、QD5は、接続切り換え部QD0乃至QD3の分圧効果と同様な効果を奏し、データバス線LDB0、LDB1の高電圧に対して、差動出力端子SN0、SN1の電圧を制限する。また、バイアス部QB2、QB3についても、バイアス部QB0、QB1と同様な作用・効果を奏する。

【0120】

第1及び第2具体例の電流比較部D1、D2によれば、記憶セル情報に基づく電流Idatと、電流負荷部により供給されるリファレンス電流Irefとの差電流に基づき、記憶セル情報を読み出すことができる。

【0121】

図 1 8 には、第 1 実施形態の不揮発性半導体記憶装置（図 1）における読み出し動作について回路シミュレーションを行った動作波形を示す。図 1 8 のシミュレーションでは、 $0.18\mu\text{m}$ ルールのプロセステクノロジーで製造した 64 M ビット相当の不揮発性半導体記憶装置であるフラッシュメモリについて、電源電圧 V_{CC} を 2.9 V として行った結果である。

【 0 1 2 2 】

ワード線 WL_0 が活性化されると、メモリコア部 A 内の選択セクタに配置されている記憶セル MC が選択されると共に、ワード線 WL_0 の活性化から数 $n\text{sec}$ の後にロード部 C が動作を開始して、リファレンス電流 I_{ref} がデータバス線 $LDB(1)$ に流れ始める。合せてコラム選択部 B のパスゲートも選択される（不図示）が、この時点ではセクタスイッチが選択されておらずデータバス線 $LDB(0)$ には記憶セル情報に基づく電流 I_{dat} は流れていない。リファレンス電流 I_{ref} の出力から略 5nsec の後に、制御信号 $SECY$ が活性化しセクタスイッチを選択してローカルビット線とグローバルビット線を接続する。この時点では、コラム選択部 B のパスゲートは導通しているのでグローバルビット線はデータバス線 $LDB(0)$ にも接続されており、制御信号 $SECY$ の活性化から略 1nsec 後に記憶セル電流 I_{dat} が出力されてくる。記憶セル電流 I_{dat} が安定するのを待って、立ち上がりから略 6nsec 後にプリチャージ信号 PR をリセットして電流比較部 D のプリチャージを解除する。プリチャージの解除と同時に、電流比較部 D では電流 I_{dat} 、 I_{ref} の比較が開始され差動出力端子 $SN(0)$ 、 $SN(1)$ 間に電流の違いに基づく電位差が現れる。この電位差が 50mV 程度に広がった時点で後段の差動アンプ 106 が動作して記憶セル情報をデータ $DATA$ として出力する。プリチャージ信号 PR のリセットから僅か 1nsec 程度で、記憶セル情報 $DATA$ が出力される。1 対のデータバス線 $LDB(0)$ 、 $LDB(1)$ に接続される負荷を理想的に同等とし、パスゲート等に付随する寄生容量を最小化すると共に、リファレンス電流 I_{ref} を生成する不揮発性セルへの電圧ストレスを排除して安定したリファレンス電流 I_{ref} に対して差動増幅を行うことにより、読み出し動作における初期の過渡応答期間において、記憶セル情報を画定することができ、高速な読み出し動作を実現

していることが分かる。また、1対のデータバス線LDB(0)、LDB(1)の負荷バランスが良好であることから、プリチャージ時間も迅速に行うことができ、連続読み出し動作におけるサイクルタイムの高速化も同時に実現することができる。

【0123】

以上説明したメモリコア部A、コラム選択部B、ロード部C、電流比較部Dの各具体例は、図1の第1実施形態、及び後述の第2乃至第4実施形態において、適宜に組み合わせて本発明の不揮発性半導体記憶装置を構成することができる。

【0124】

尚、本発明は前記第1実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、第1実施形態では、対をなすグローバルビット線GBL_m、GBL_n(図2)に各々接続されるローカルビット線LBL_m、LBL_nは、隣接するセクタSEC_m、SEC_nに配置されている場合を例にとり説明したが、これに限定されるものではなく、ローカルビット線同士が隣接するように構成してもよい。即ち、図19に第2実施形態として示すメモリコア部A20では、セクタSEC0に例示するように、セクタスイッチを介して、隣接するローカルビット線LBL00とLBL01、LBL02とLBL03が、隣接するグローバルビット線GBL0、GBL1に接続するように配置されている。そして、ワード線WL00、WL01の各々に対して、SEC00及びSECY01、あるいはSECY02及びSECY03を選択するように制御すれば、隣接するローカルビット線LBL00とLBL01、LBL02とLBL03について、一方を選択された記憶セル側に、他方をリファレンス側にして、隣接するグローバルビット線GBL0、GBL1に接続することができる。これにより、隣接するローカルビット線LBL00とLBL01、LBL02とLBL03、及び隣接するグローバルビット線GBL0、GBL1の双方に対して、一方に印加されたノイズが他方にも伝播され、1対の線間で同等のノイズが乗ることとなる。即ち、ローカルビット線LBL00とLBL01、LBL02とLBL03、及びグローバルビット線GBL0とGBL1は、ノイズの影響を相殺することができる。従って、記

憶セル情報の読み出し信頼性が向上する。

【0125】

また、1対のローカルビット線を、第1実施形態に示すように隣接セクタ SEC0、SEC1間の対応位置に配置(図3、4)、あるいは第2実施形態に示すように同一セクタ SEC0内で隣接(図19)させなくとも、1対のローカルビット線に関して、周囲環境による物理パラメータが同等である位置に配置することにより、同等の寄生容量にすることができる。即ち、図20に第3実施形態として示すメモリコア部 A30に例示するように、メモリコア部 A30において、1対のビット線 BL0、BL1が、対称的な位置等、周囲環境による物理パラメータが同等である位置に配置されれば、両ビット線 BL0、BL1の有する寄生容量は同等とすることができる。

【0126】

また、所定数の不揮発性記憶セル毎に纏められ、不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタ SEC0、SEC1を備え、1対のローカルビット線 LBL00とLBL01、LBL02とLBL03は、セクタ SEC0、SEC1毎に配置関係が反転して構成することもできる。これにより、ローカルビット線 LBL00とLBL01、LBL02とLBL03が、セクタ SEC0、SEC1を越えて形成されている場合に、セクタ SEC0、SEC1毎に配置関係を反転するので、周辺構造との間で形成される寄生容量は、両ローカルビット線 LBL00とLBL01、LBL02とLBL03間で同等とすることができる。この構成を、図19に第2実施形態のメモリコア部 A20として示す。

【0127】

また、第1実施形態においては、ローカルビット線とグローバルビット線との2階層の階層的ビット線構造を有する不揮発性半導体記憶装置について説明したが、本発明はこれに限定されるものではなく、ビット線の階層構造が1階層の不揮発性半導体記憶装置についても、第1乃至第3実施形態を同様に適用できることは言うまでもない。即ち、図21に第4実施形態として示すメモリコア部 A40では、ビット線 BL0、BL1は階層構造を構成していない。各々のビット線

B L 0、B L 1 には、セクタ S E C 0 において、ワード線 W L 0 0、W L 0 1 で選択される記憶セル群が、セクタ S E C 1 においても同様に、ワード線 W L 1 0、W L 1 1 で選択される記憶セル群が配置されている。セクタ毎に 1 対のビット線 B L 0、B L 1 の何れか一方に接続されている記憶セルが選択されるようにワード線 W L 0 0 乃至 W L 1 1 を制御してやれば、ビット線 B L 0、B L 1 のうち他方のビット線をリファレンス側の負荷とすることができる。また、セクタ S E C 0、S E C 1 毎にビット線 B L 0、B L 1 の配置関係を反転してやれば、ビット線 B L 0、B L 1 の有する寄生容量を更に同等に合わせることができる。

【 0 1 2 8 】

(付記 1) 複数の不揮発性記憶セルが接続されている、複数のディジット線を備える不揮発性半導体記憶装置において、

記憶セル情報の読み出しの際、前記ディジット線は、

選択される前記不揮発性記憶セルが接続されている第 1 ディジット線と、

非選択の前記不揮発性記憶セルのみが接続されている第 2 ディジット線とを含み、

前記第 1 及び第 2 ディジット線を 1 対として、前記記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

(付記 2) 前記第 1 ディジット線と、前記第 2 ディジット線とは隣接することとを特徴とする付記 1 に記載の不揮発性半導体記憶装置。

(付記 3) 前記第 1 ディジット線と前記第 2 ディジット線とは、該第 1 及び第 2 ディジット線を囲む物理パラメータが同等であることを特徴とする付記 1 又は 2 に記載の不揮発性半導体記憶装置。

(付記 4) 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、

所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備える不揮発性半導体記憶装置において、

記憶セル情報の読み出しの際、前記グローバルディジット線は、

選択される前記不揮発性記憶セルが接続されている第 1 ローカルディジット線

に接続される第 1 グローバルディジット線と、

選択される前記不揮発性記憶セルが接続されず、前記第 1 グローバルディジット線と隣接する第 2 グローバルディジット線とを含み、

前記第 1 及び第 2 グローバルディジット線を 1 対として、前記記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

(付記 5) 前記第 2 グローバルディジット線は、

非選択の前記不揮発性記憶セルのみが接続されている第 2 ローカルディジット線に接続されることを特徴とする付記 4 に記載の不揮発性半導体記憶装置。

(付記 6) 前記第 1 ローカルディジット線と、前記第 2 ローカルディジット線とは、隣接することを特徴とする付記 5 に記載の不揮発性半導体記憶装置。

(付記 7) 前記第 1 ローカルディジット線と、前記第 2 ローカルディジット線とは、該第 1 及び第 2 ローカルディジット線を囲む物理パラメータが同等であることを特徴とする付記 5 又は 6 に記載の不揮発性半導体記憶装置。

(付記 8) 所定数の前記不揮発性記憶セル毎に纏められ、該不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、

前記第 1 ディジット線あるいは前記第 1 ローカルディジット線と、前記第 2 ディジット線あるいは前記第 2 ローカルディジット線とは、前記セクタ毎に配置関係が反転して構成されることを特徴とする付記 1 又は 5 に記載の不揮発性半導体記憶装置。

(付記 9) 所定数の前記ディジット線毎、あるいは所定数の前記ローカルディジット線毎に纏められ、該不揮発性記憶セルへのアクセスの基本単位として構成される、複数のセクタを備え、

前記第 1 ディジット線あるいは前記第 1 ローカルディジット線は、第 1 セクタに配置され、

前記第 2 ディジット線あるいは前記第 2 ローカルディジット線は、第 2 セクタに配置されることを特徴とする付記 1 又は 5 に記載の不揮発性半導体記憶装置。

(付記 10) 前記第 1 セクタと前記第 2 セクタとは、隣接して配置されることを特徴とする付記 9 に記載の不揮発性半導体記憶装置。

(付記 11) 前記第 1 ディジット線あるいは前記第 1 ローカルディジット線と

、前記第 2 デジット線あるいは前記第 2 ローカルデジット線とは、該デジット線あるいは該ローカルデジット線を囲む物理パラメータが同等であることを特徴とする付記 9 又は 1 0 に記載の不揮発性半導体記憶装置。

(付記 1 2) 前記第 1 グローバルデジット線と、前記第 2 グローバルデジット線とは、前記セクタ毎に配置関係が反転して構成されることを特徴とする付記 8 乃至 1 1 の少なくとも何れか 1 項に記載の不揮発性半導体記憶装置。

(付記 1 3) 欠陥救済のための冗長構成の最小単位は、前記第 1 及び第 2 デジット線、あるいは前記第 1 及び第 2 グローバルデジット線を 1 対として構成されることを特徴とする付記 1 又は 4 に記載の不揮発性半導体記憶装置。

(付記 1 4) 複数の不揮発性記憶セルが接続されている、複数のデジット線を備える不揮発性半導体記憶装置において、

前記デジット線は、

選択される前記不揮発性記憶セルが接続されている第 1 デジット線と、

非選択の前記不揮発性記憶セルのみが接続されている第 2 デジット線とを含み、

所定数の前記デジット線毎に設けられ、記憶セル情報の読み出しの際、前記第 1 及び第 2 デジット線を共に選択し、記憶セル情報の書き込みの際、前記第 1 デジット線のみを選択する選択部を備えることを特徴とする不揮発性半導体記憶装置。

(付記 1 5) 前記デジット線に選択的に接続されるデータ線を備え、

前記選択部は、

記憶セル情報の読み出しの際に、第 1 電流駆動能力で前記デジット線と前記データ線とを接続し、記憶セル情報の書き込みの際に、前記第 1 電流駆動能力より大きな第 2 電流駆動能力で前記デジット線と前記データ線とを接続するスイッチ部を備えることを特徴とする付記 1 4 に記載の不揮発性半導体記憶装置。

(付記 1 6) 前記デジット線に選択的に接続されるデータ線を備え、

前記選択部は、

記憶セル情報の読み出し時に、前記デジット線から前記データ線に至る第 1 経路と、

記憶セル情報の書き込み時に、前記データ線から前記ディジット線に至る第2経路とを備えることを特徴とする付記14又は15に記載の不揮発性半導体記憶装置。

(付記17) 前記第1経路を構成する前記スイッチ部は、低耐圧素子で構成され、

前記第2経路を構成する前記スイッチ部は、高耐圧素子で構成されることを特徴とする付記16に記載の不揮発性半導体記憶装置。

(付記18) 前記第1経路を構成する前記スイッチ部を開閉制御する第1制御部と、

前記第2経路を構成する前記スイッチ部を開閉制御する第2制御部とを備え、
前記第1制御部は低耐圧素子で構成され、前記第2制御部は高耐圧素子で構成されることを特徴とする付記16又は17に記載の不揮発性半導体記憶装置。

(付記19) 前記第2経路は、前記第1経路を含んで構成されることを特徴とする付記16に記載の不揮発性半導体記憶装置。

(付記20) 記憶セル情報の読み出しの際に、前記第1及び第2ディジット線を各々別の前記データ線に接続する第1及び第2スイッチ部と、

記憶セル情報の書き込みの際、前記第1ディジット線を前記第3データ線に接続する第3スイッチ部とを備えることを特徴とする付記15乃至19の少なくとも何れか1項に記載の不揮発性半導体記憶装置。

(付記21) 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、

所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備え、

前記ディジット線は、前記グローバルディジット線であることを特徴とする付記14乃至20の少なくとも何れか1項に記載の不揮発性半導体記憶装置。

(付記22) 複数の不揮発性記憶セルが接続されている、複数のディジット線と、

前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、

第 1 デジタル線を介して、選択される前記不揮発性記憶セルが接続される第 1 データ線と、

第 2 デジタル線を介して、非選択の前記不揮発性記憶セルのみが接続される第 2 データ線と、

前記第 1 データ線に接続される第 1 ロード部と、

前記第 1 ロード部と同等な構成を有し、前記第 2 データ線に接続されると共に、前記記憶セル情報に基づき前記第 1 データ線を流れる電流に対して基準となる電流を流す第 2 ロード部とを備え、

前記第 1 及び第 2 データ線を 1 対として、記憶セル情報の読み出しを行うことを特徴とする不揮発性半導体記憶装置。

(付記 2 3) 前記第 1 及び第 2 ロード部は、

前記不揮発性記憶セルから前記第 1 及び第 2 ロード部に至る経路にある負荷と同等な負荷を備えることを特徴とする付記 2 2 に記載の不揮発性半導体記憶装置。

(付記 2 4) 前記第 1 及び第 2 ロード部は、

前記不揮発性記憶セルと同等な第 1 及び第 2 リファレンスセルを備えることを特徴とする付記 2 2 又は 2 3 に記載の不揮発性半導体記憶装置。

(付記 2 5) 前記記憶セル情報に基づく電流に対する基準電流を生成する、前記不揮発性記憶セルと同等な第 3 リファレンスセルを含み、前記基準電流に応じたレギュレート電圧を出力するレギュレータ部を更に備え、

前記第 1 及び第 2 ロード部は、

前記レギュレート電圧により電流値が制御される第 1 及び第 2 負荷部を備えることを特徴とする付記 2 2 又は 2 3 に記載の不揮発性半導体記憶装置。

(付記 2 6) 前記第 1 及び第 2 リファレンスセル、あるいは前記第 3 リファレンスセルは、前記記憶セル情報が格納される前記不揮発性記憶セルの配置領域とは異なる配置領域に配置されることを特徴とする付記 2 4 又は 2 5 に記載の不揮発性半導体記憶装置。

(付記 2 7) 前記第 1 及び第 2 リファレンスセルあるいは前記第 1 及び第 2 負荷部と、基準電位とを接続する第 1 及び第 2 選択スイッチを備え、

前記第 1 選択スイッチ、又は前記第 2 選択スイッチの何れか一方を選択的に導通することを特徴とする付記 2 4 又は 2 5 に記載の不揮発性半導体記憶装置。

(付記 2 8) 前記レギュレータ部は、

前記第 3 リファレンスセルを含む基準電流生成部と、

第 1 及び第 2 負荷部と同等な第 3 負荷部を含むレギュレート電圧生成部とを備えることを特徴とする付記 2 5 に記載の不揮発性半導体記憶装置。

(付記 2 9) 前記レギュレータ部は、

前記基準電流生成部で生成される基準電流を、前記レギュレート電圧生成部にミラーする電流ミラー部と、

前記レギュレート電圧生成部において、前記ミラーされた基準電流を流すように前記第 3 負荷部を制御するフィードバック部とを備えることを特徴とする付記 2 8 に記載の不揮発性半導体記憶装置。

(付記 3 0) 前記フィードバック部は、前記レギュレート電圧を出力することを特徴とする付記 2 9 に記載の不揮発性半導体記憶装置。

(付記 3 1) 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、

所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備えており、

前記ディジット線は、前記グローバルディジット線であることを特徴とする付記 2 2 乃至 3 0 の少なくとも何れか 1 項に記載の不揮発性半導体記憶装置。

(付記 3 2) 複数の不揮発性記憶セルが接続されている、複数のディジット線と、

前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、

前記ディジット線を介して、選択される前記不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第 1 データ線と、

基準電流が流れる第 2 データ線と、

前記第 1 及び第 2 データ線が接続され、前記記憶セル情報に基づく電流と前記基準電流とを比較する電流比較部とを備え、

前記電流比較部は、

電流ミラー構成を有する電流負荷部と、

前記第 1 及び第 2 データ線と前記電流負荷部との接続を切り替える接続切り換え部とを備えることを特徴とする不揮発性半導体記憶装置。

(付記 3 3) 前記接続切り換え部は、

前記第 2 データ線が、前記電流負荷部の電流ミラー構成における基準側に接続されるように制御されることを特徴とする付記 3 2 に記載の不揮発性半導体記憶装置。

(付記 3 4) 前記接続切り換え部は、前記第 1 及び第 2 データ線の電圧に関わらず、前記電流負荷部側に印加される電圧を制限する分圧部を含むことを特徴とする付記 3 2 又は 3 3 に記載の不揮発性半導体記憶装置。

(付記 3 5) 複数の不揮発性記憶セルが接続されている、複数のディジット線と、

前記ディジット線に選択的に接続されるデータ線とを備える不揮発性半導体記憶装置において、

前記ディジット線を介して、選択される前記不揮発性記憶セルが接続され、記憶セル情報に基づく電流が流れる第 1 データ線と、

基準電流が流れる第 2 データ線と、

前記第 1 及び第 2 データ線が接続され、前記記憶セル情報に基づく電流と前記基準電流とを比較する電流比較部とを備え、

前記電流比較部は、

前記第 1 及び第 2 データ線に対して前記基準電流に相当する電流を流す電流負荷部を備えることを特徴とする不揮発性半導体記憶装置。

(付記 3 6) 前記第 1 及び第 2 データ線と前記電流負荷部との間に、前記第 1 及び第 2 データ線の電圧に関わらず、前記電流負荷部側に印加される電圧を制限する分圧部を備えることを特徴とする付記 3 5 に記載の不揮発性半導体記憶装置。

(付記 3 7) 前記電流負荷部から出力される電圧に関わらず、前記第 1 及び第 2 データ線側に印加される電圧を制限するバイアス部を備えることを特徴とする

付記 3 2 乃至 3 6 の少なくとも何れか 1 項に記載の不揮発性半導体記憶装置。

(付記 3 8) 複数の不揮発性記憶セルが接続されている、複数のローカルディジット線と、

所定数の前記ローカルディジット線毎に備えられ、該ローカルディジット線が択一的に接続されるグローバルディジット線とを備えており、

前記ディジット線は、前記グローバルディジット線であることを特徴とする付記 3 2 乃至 3 6 の少なくとも何れか 1 項に記載の不揮発性半導体記憶装置。

【 0 1 2 9 】

【発明の効果】

本発明によれば、読み出し動作において、選択される記憶セルが接続されるグローバルビット線と、同グローバルビット線に隣接するグローバルビット線とを対として、1 対のデータバス線に接続される負荷を理想的に同等とし、グローバルビット線とデータバス線とを接続するバスゲート等に付随する寄生容量を最小化すると共に、リファレンス電流を生成する不揮発性セルへの電圧ストレスを排除して安定したリファレンス電流に対して差動増幅を行うことにより、読み出し動作における初期の過渡応答期間において記憶セル情報を画定することができ、高速な読み出し動作を実現することができる。また、1 対のグローバルビット線を隣接することにより、一方に印加されるノイズは他方にも同様に印加されるので、ノイズの影響が相殺され、記憶セル情報の読み出し信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態における不揮発性半導体記憶装置の全体構成図を示すブロック図である。

【図 2】

第 1 実施形態におけるメモリコア部の原理構成図を示す回路図である。

【図 3】

メモリコア部の第 1 具体例を示す回路図である。

【図 4】

メモリコア部の第 2 具体例を示す回路図である。

【図 5】

メモリコア部の第 1 及び第 2 具体例における冗長構成を示す回路図である。

【図 6】

第 1 実施形態におけるコラム選択部の第 1 原理構成図を示す回路図である。

【図 7】

コラム選択部の第 1 具体例を示す回路図である。

【図 8】

実施形態におけるコラム選択部の第 2 原理構成図を示す回路図である。

【図 9】

コラム選択部の第 2 具体例を示す回路図である。

【図 1 0】

第 1 実施形態におけるロード部の第 1 原理構成図を示す回路図である。

【図 1 1】

ロード部の第 1 具体例を示す回路図である。

【図 1 2】

第 1 実施形態におけるロード部の第 2 原理構成図を示す回路図である。

【図 1 3】

ロード部の第 2 具体例を示す回路図である。

【図 1 4】

ロード部の第 3 具体例を示す回路図である。

【図 1 5】

第 1 実施形態における電流比較部の原理構成図を示す回路図である。

【図 1 6】

電流比較部の第 1 具体例を示す回路図である。

【図 1 7】

電流比較部の第 2 具体例を示す回路図である。

【図 1 8】

第 1 実施形態の読み出し動作を示す動作波形図である。

【図 1 9】

第 2 実施形態のメモリコア部を示す回路図である。

【図 2 0】

第 3 実施形態のメモリコア部を示す回路図である。

【図 2 1】

第 4 実施形態のメモリコア部を示す回路図である。

【図 2 2】

従来技術における不揮発性半導体記憶装置の全体構成図を示すブロック図である。

【図 2 3】

従来技術のメモリコア部を示す回路図である。

【図 2 4】

従来技術のコラム選択部を示す回路図である。

【図 2 5】

従来技術の比較部を示す回路図である。

【符号の説明】

2 0	プログラム用パスゲート
2 1	リード用パスゲート
2 2	プログラム用デコード部
2 3	リード用デコード部
2 4	1 段目パスゲート
2 5	2 段目パスゲート
2 6	デコード部
3 5	レギュレータ部
3 6	ロード部分
A、A 0、A 1、A 2	メモリコア部
B、B 0 1、B 0 2、B 1、B 2	コラム選択部
C、C 0 1、C 0 2、C 1、C 2	ロード部
D、D 0、D 1、D 2	電流比較部

GBL、GBL(0)、GBL(1)、GBL0乃至GBL31

グローバルビット線

LBLm、LBLn、LBL00、LBL01、LBL02、LBL03、LBL04、LBL05、LBL06、LBL07、LBL10、LBL11、LBL12、LBL13、LBL14、LBL15、LBL16、LBL17

ローカルビット線

LD

負荷

LDB、LDB(0)、LDB(1)、LDB0、LDB1

読み出し用データバス線

QB0、QB1、QB2、QB3

バイアス部

QD0、QD1、QD2、QD3

接続切り換え部

QD4、QD5

分圧部

RC(0)、RC(1)、RC0、RC1、RC2

リファレンスセル

SGBL0、SGBL1

冗長構成のグローバルビット線

ト線

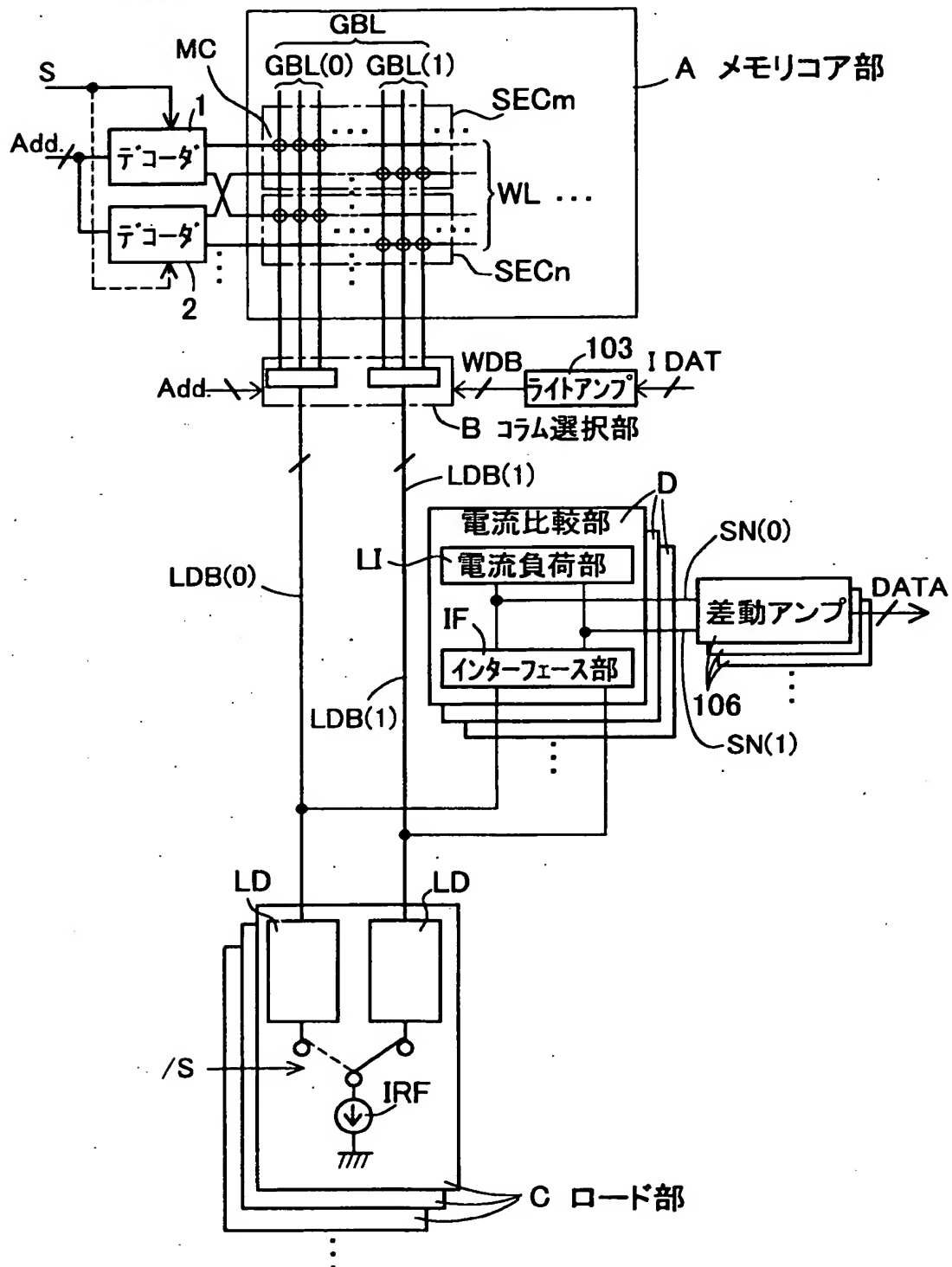
WDB

プログラム用データバス線

【書類名】 図面

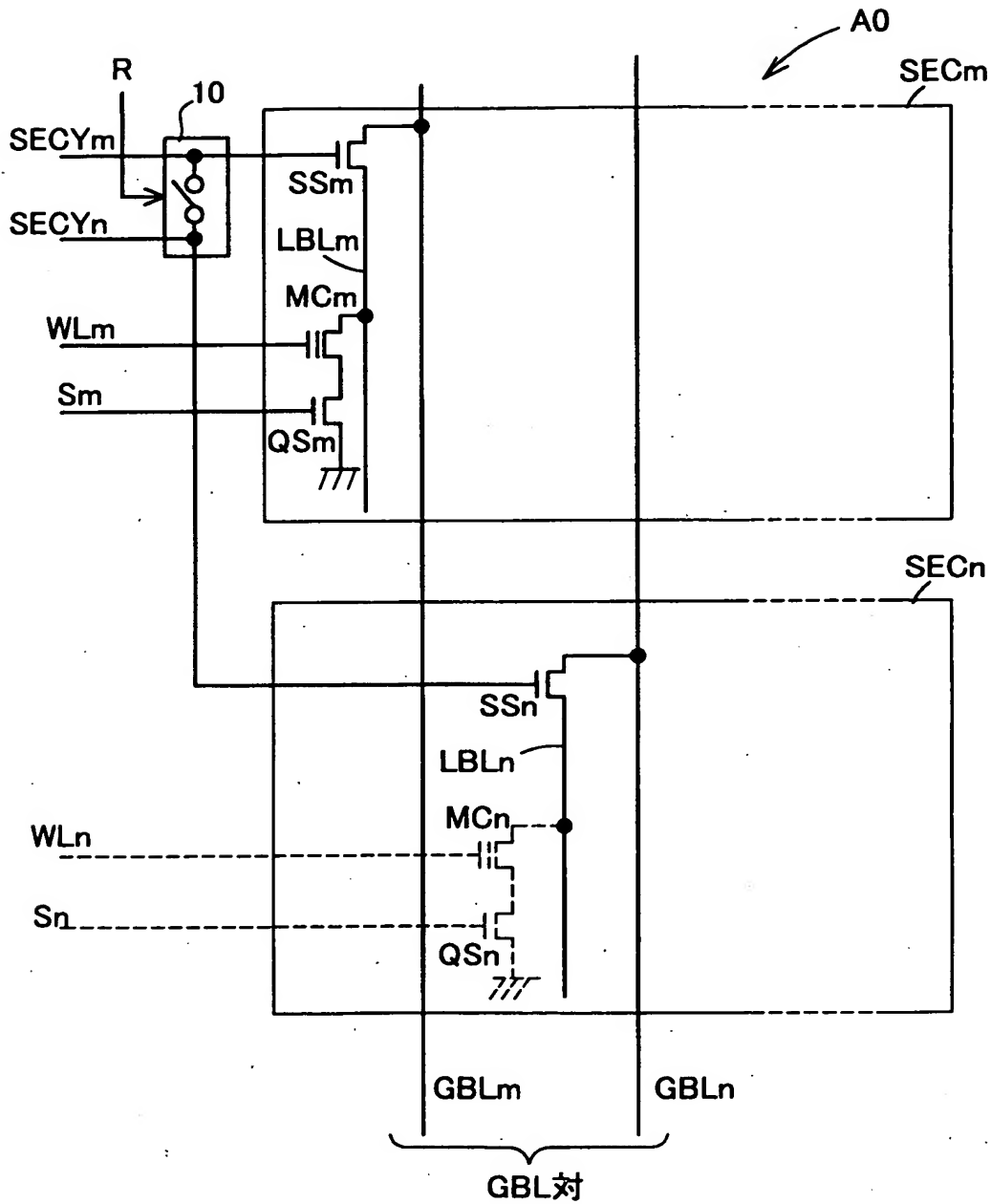
【図 1】

本発明の第1実施形態における不揮発性半導体記憶装置の全体構成図



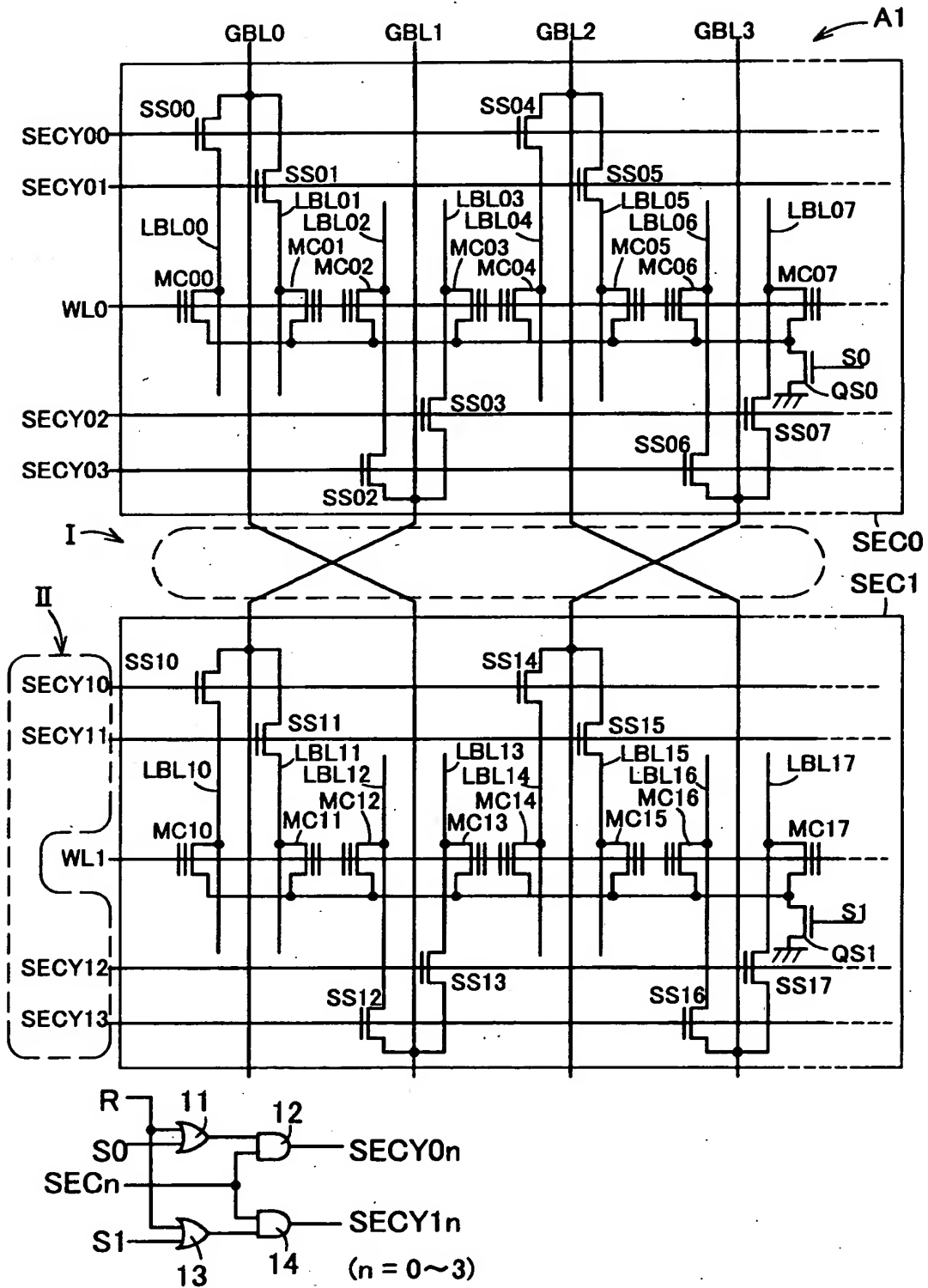
【図 2】

メモリア部の原理構成図



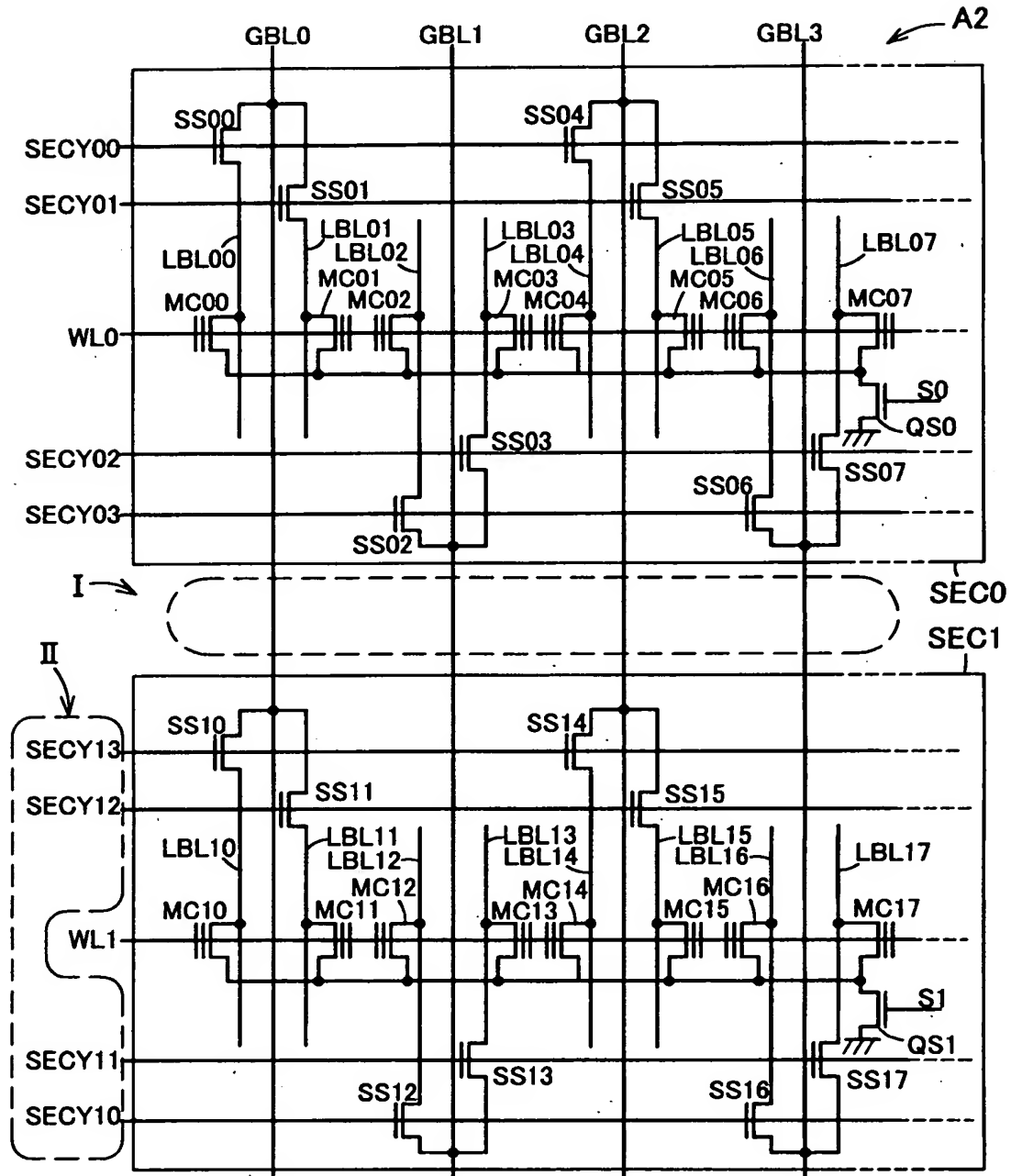
【図 3】

メモリア部の第1具体例



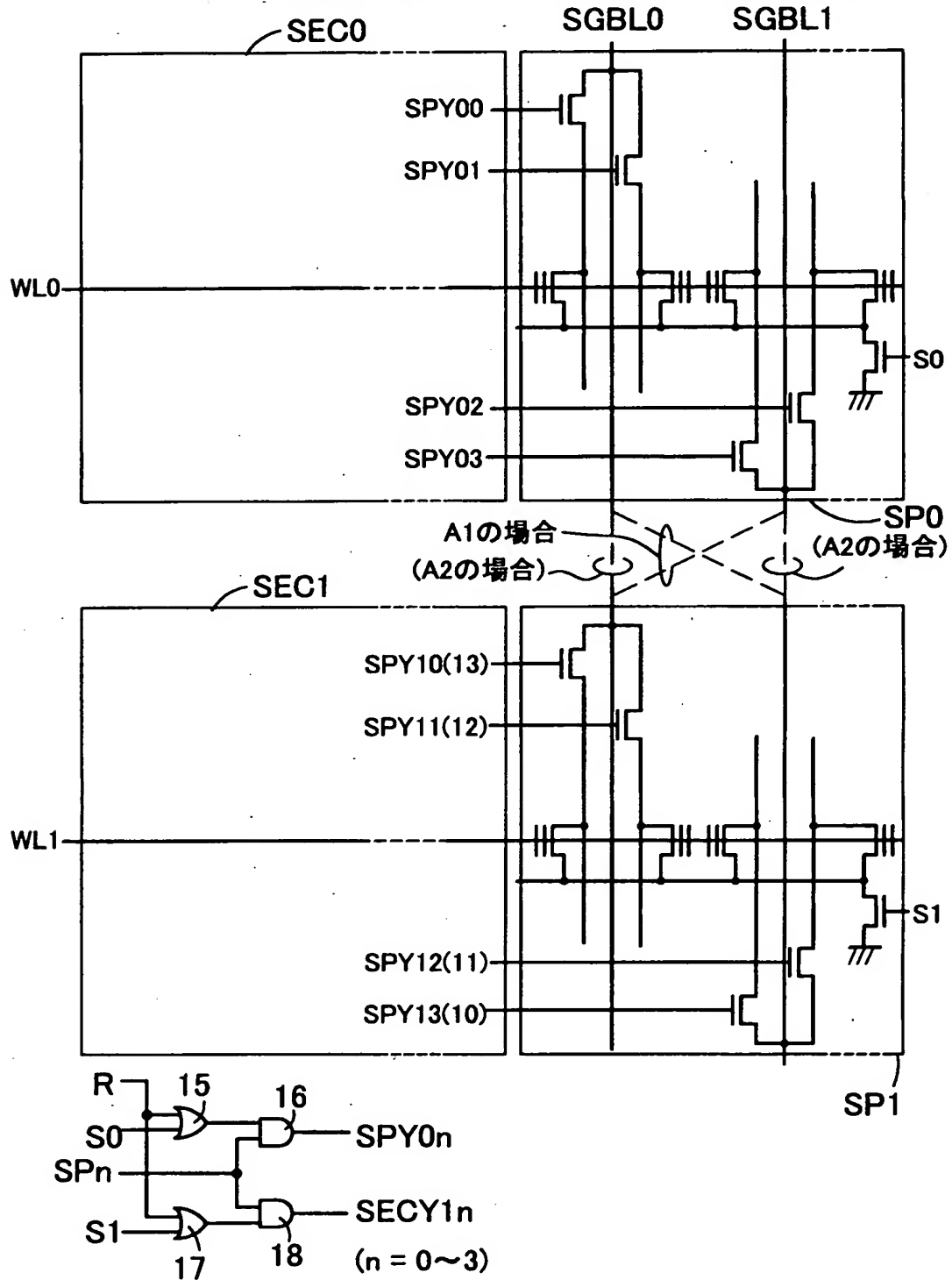
【図 4】

メモリア部の第2具体例



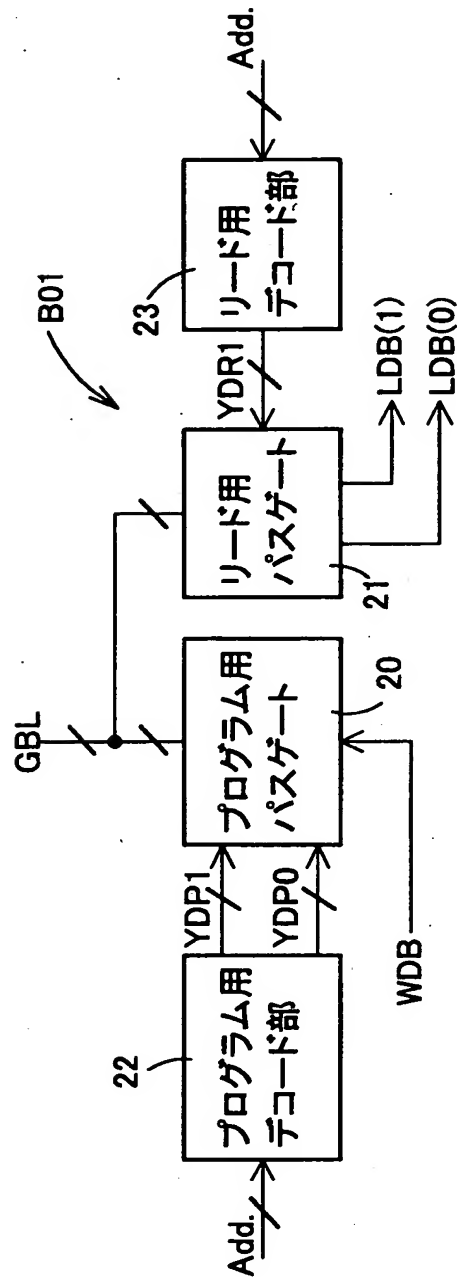
【図 5】

メモリア部の第1及び第2具体例における冗長構成



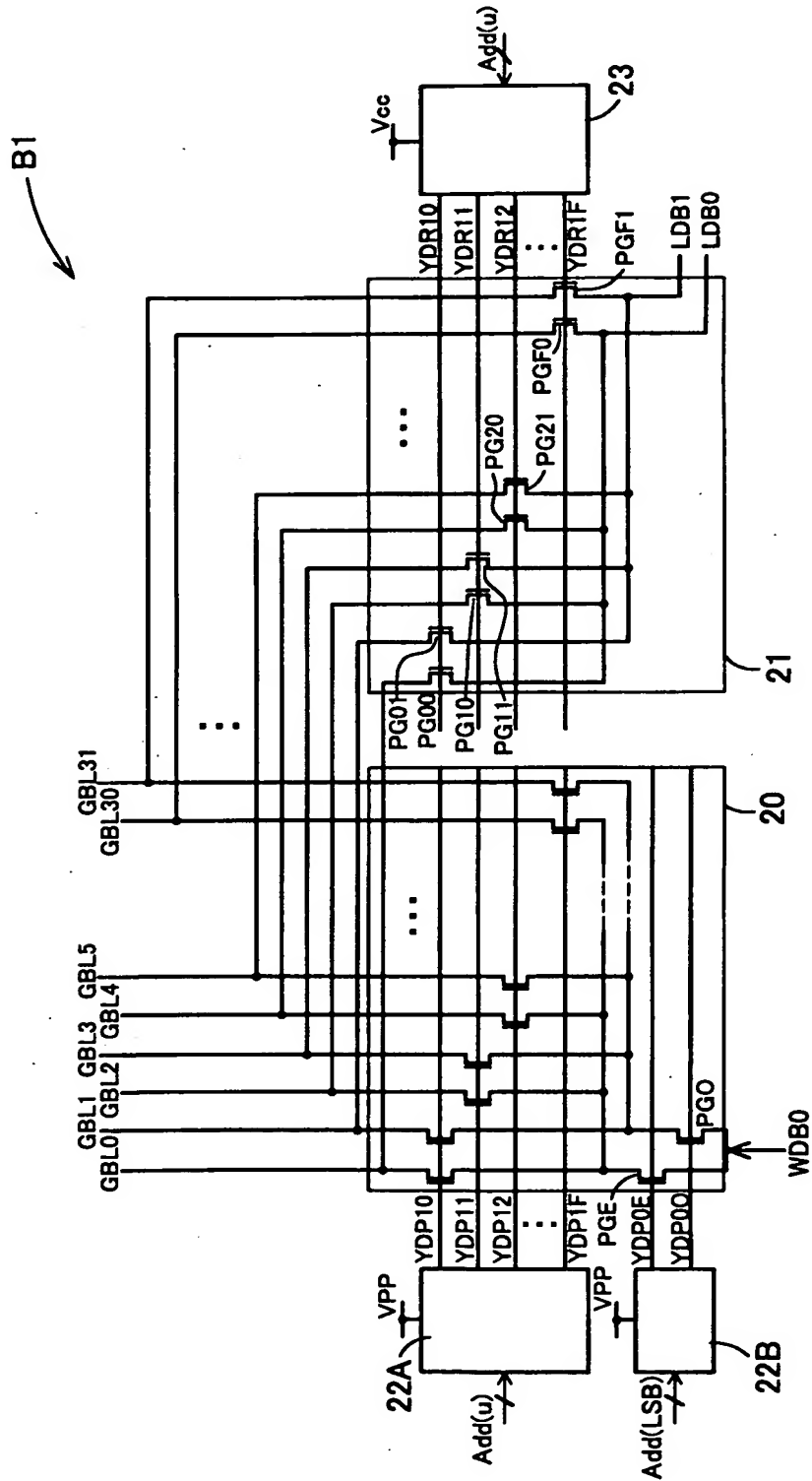
【図 6】

コラム選択部の第1原理構成図



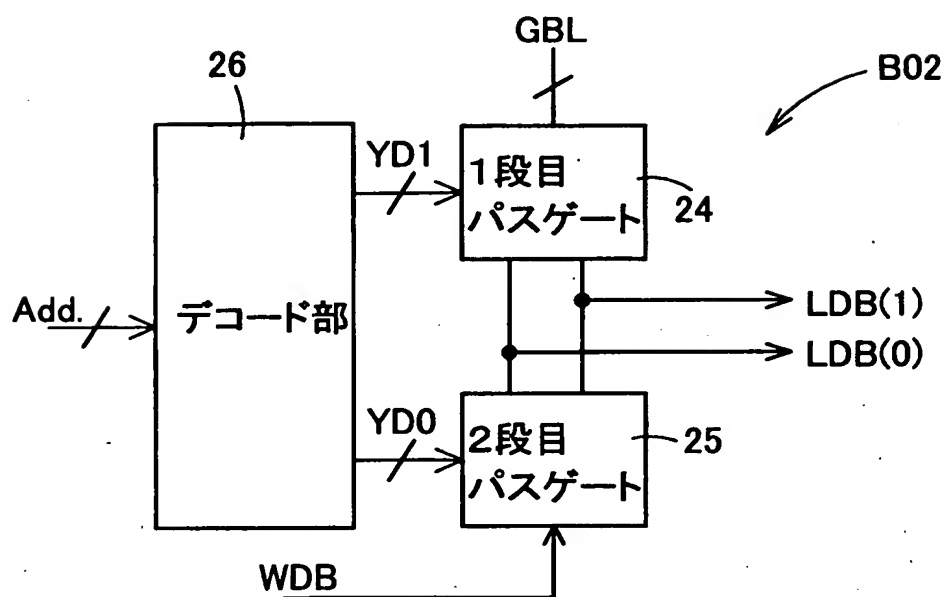
【図 7】

コラム選択部の第1具体例



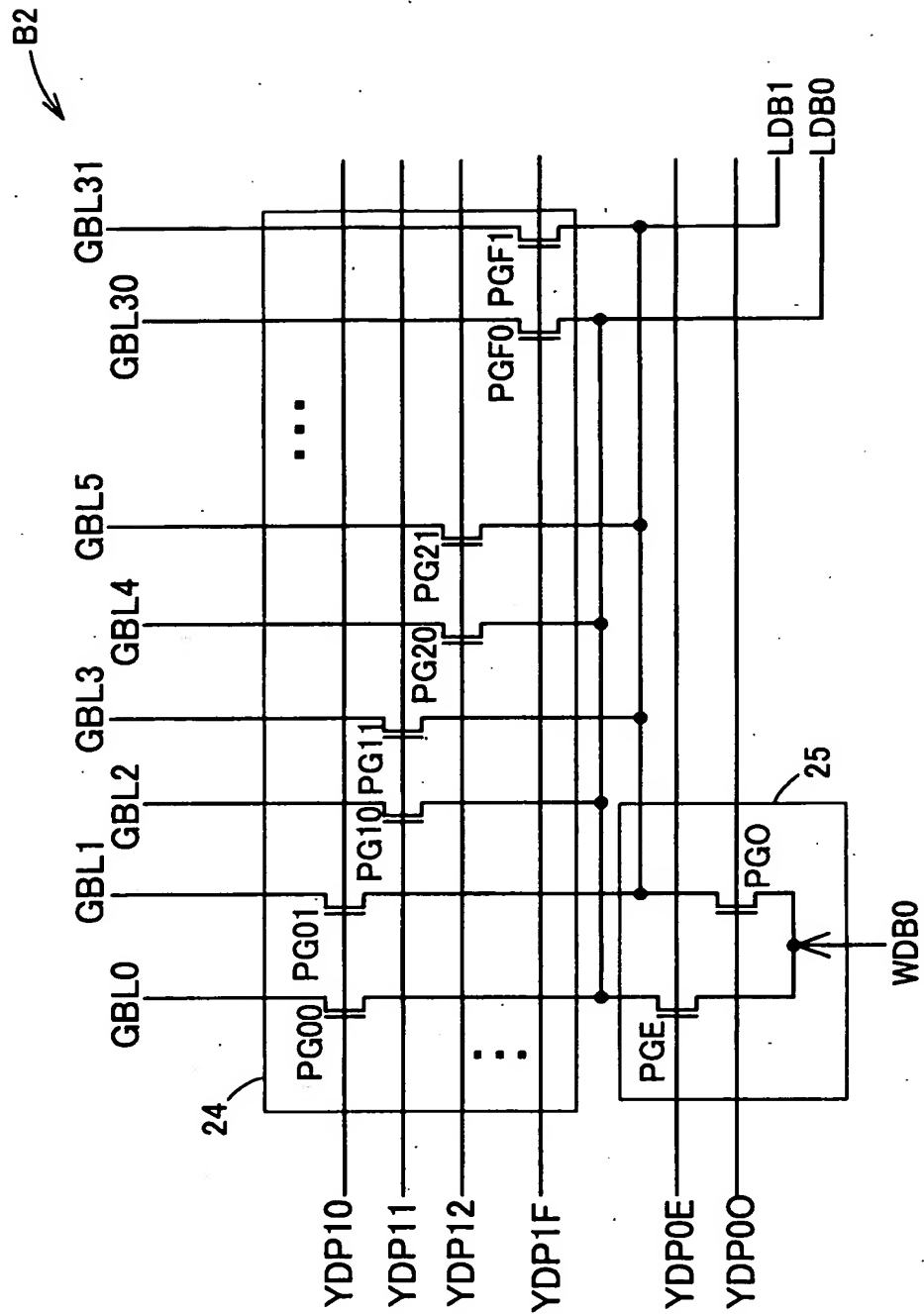
【図 8】

コラム選択部の第2原理構成図



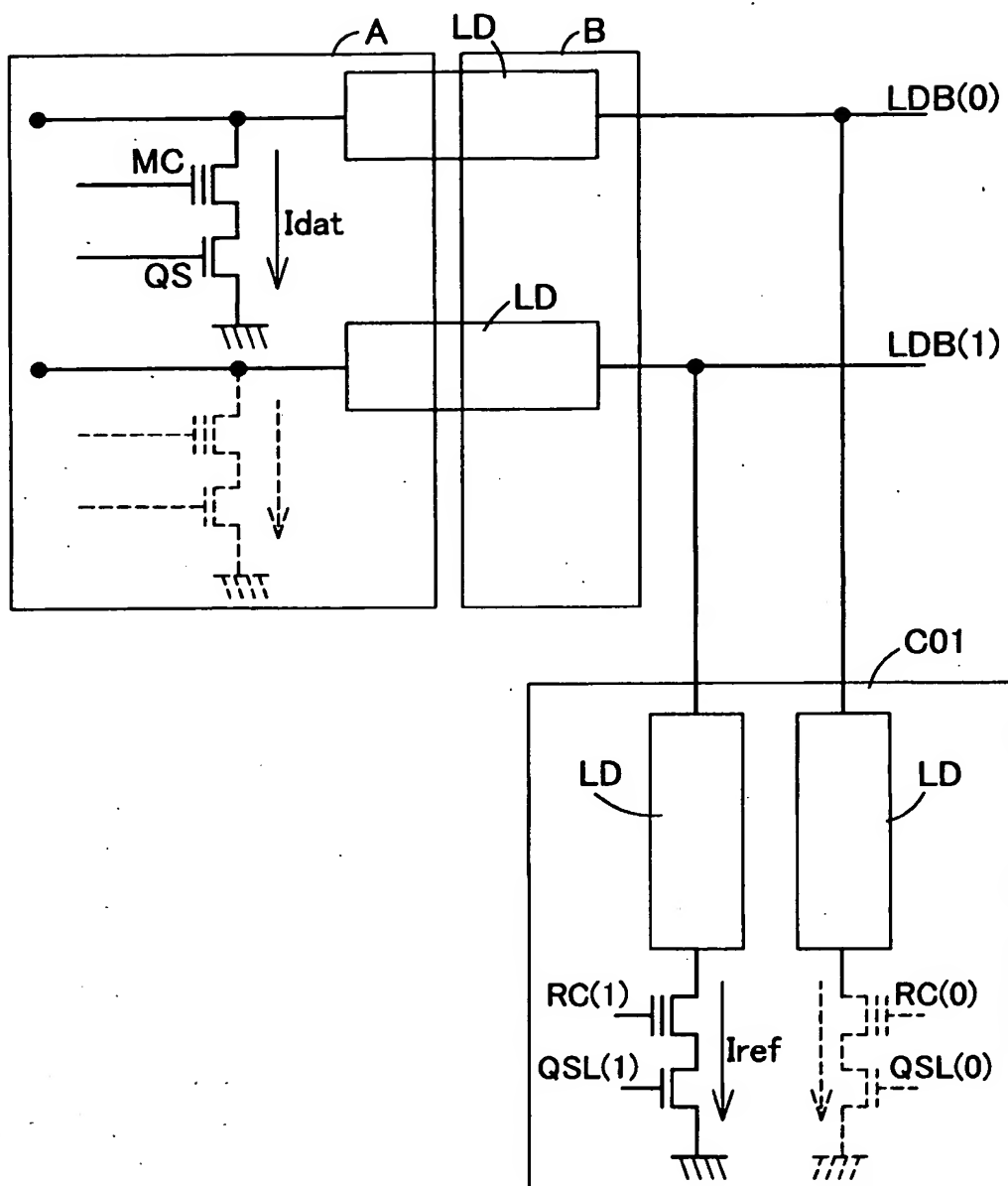
【図 9】

コラム選択部の第2具体例



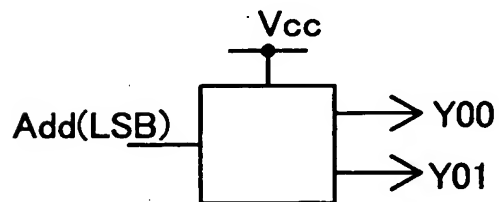
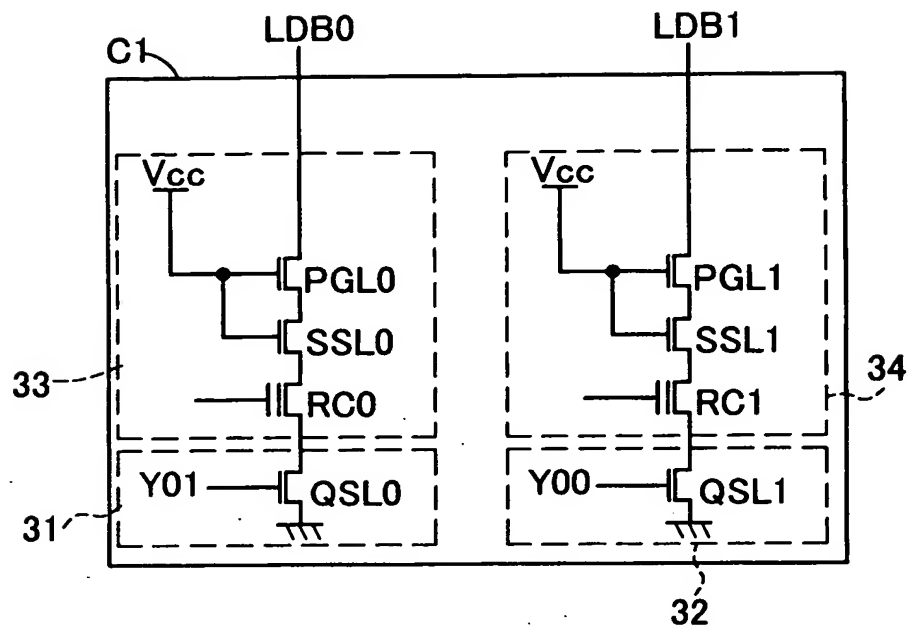
【図10】

ロード部の第1原理構成図



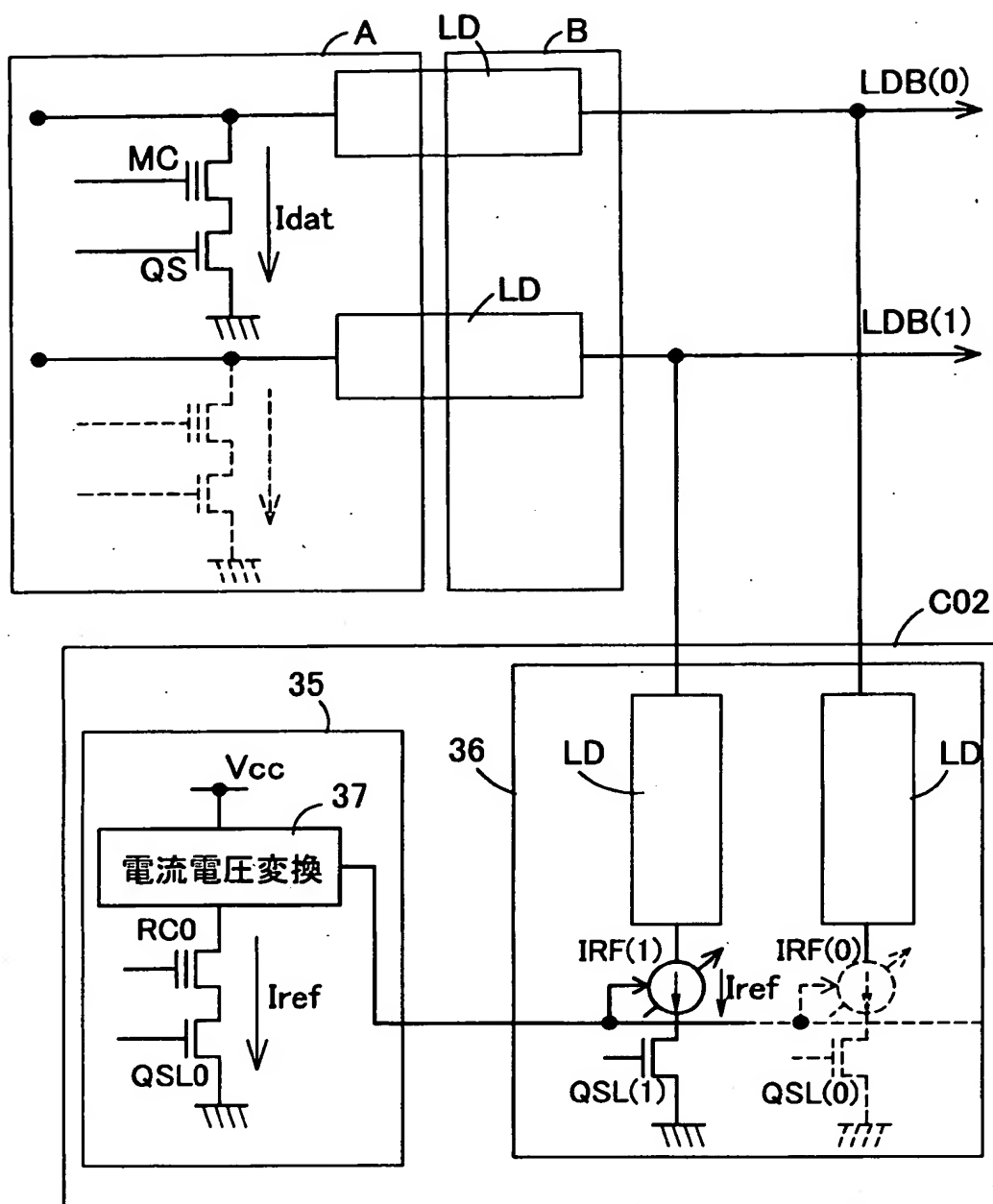
【図 1 1】

ロード部の第1具体例



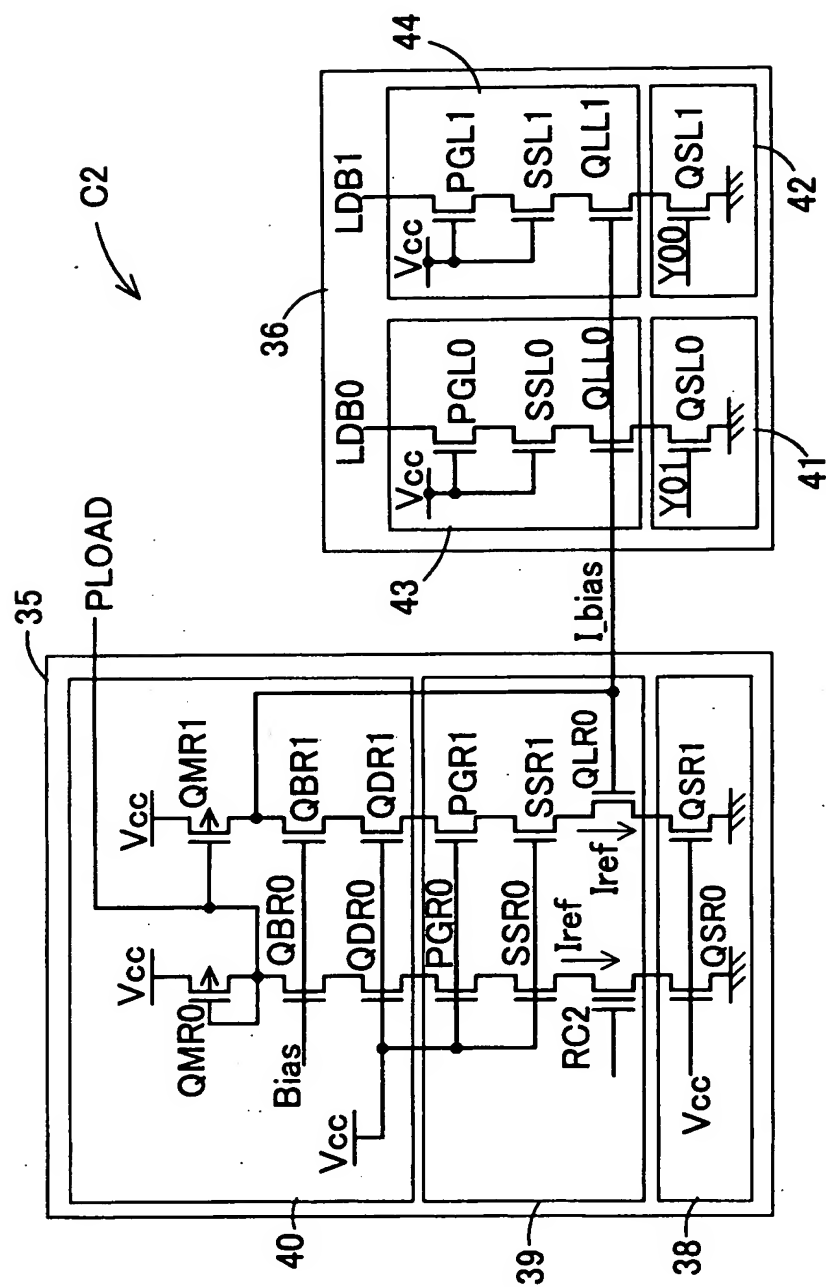
【図 12】

ロード部の第2原理構成図



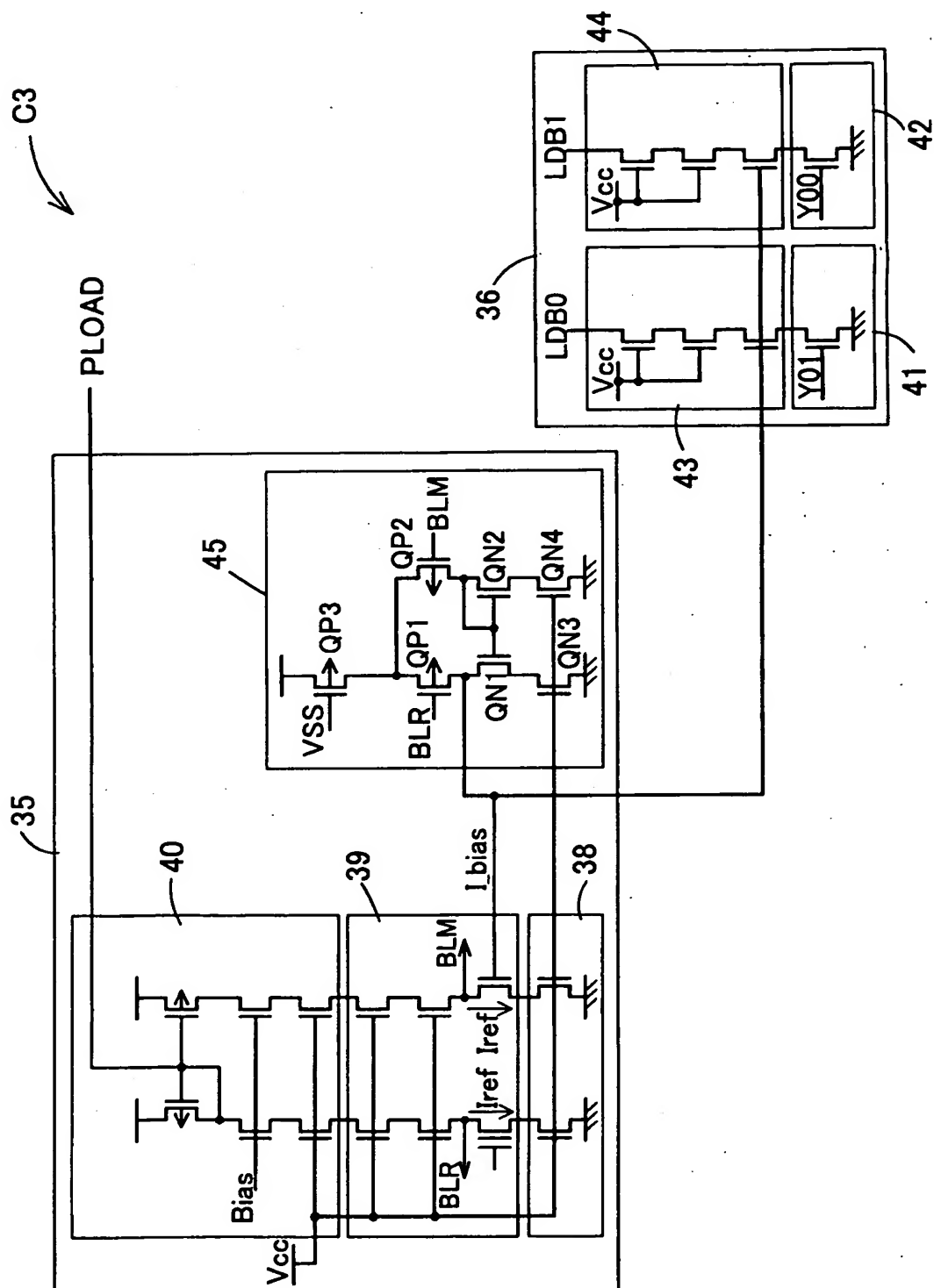
【図 13】

ロード部の第2具体例



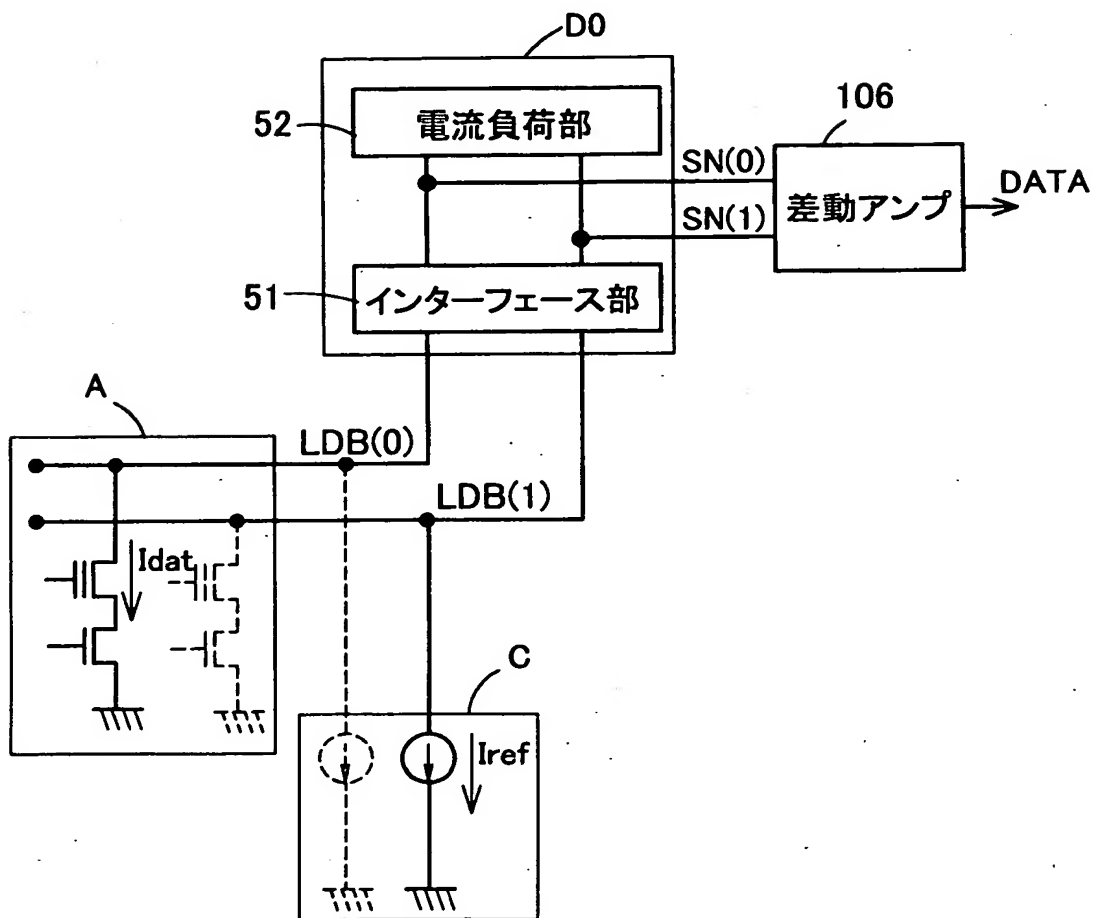
【図14】

ロード部の第3具体例



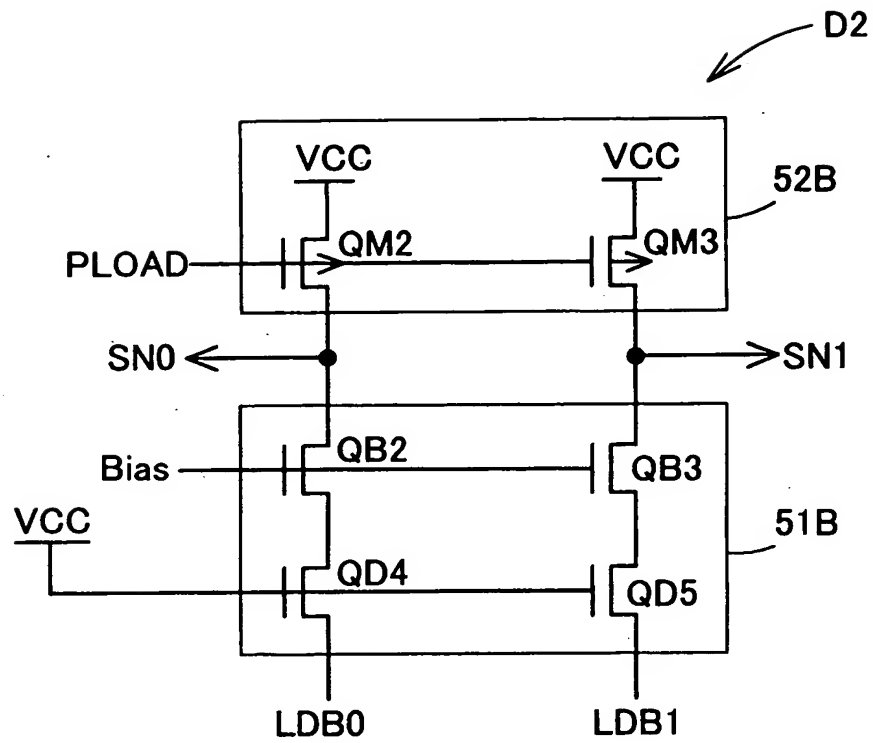
【図15】

電流比較部の原理構成図



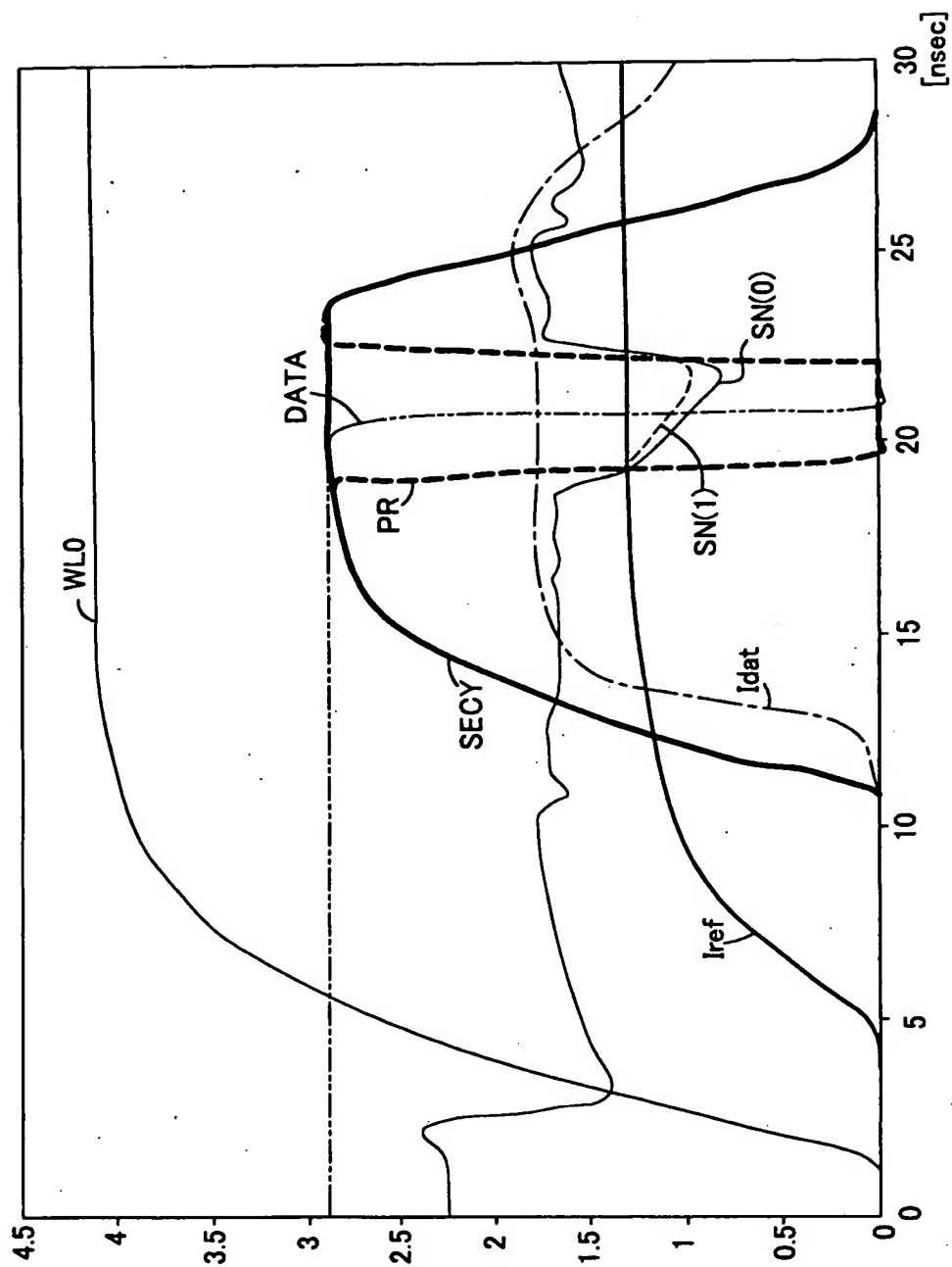
【図 1 7】

電流比較部の第2具体例



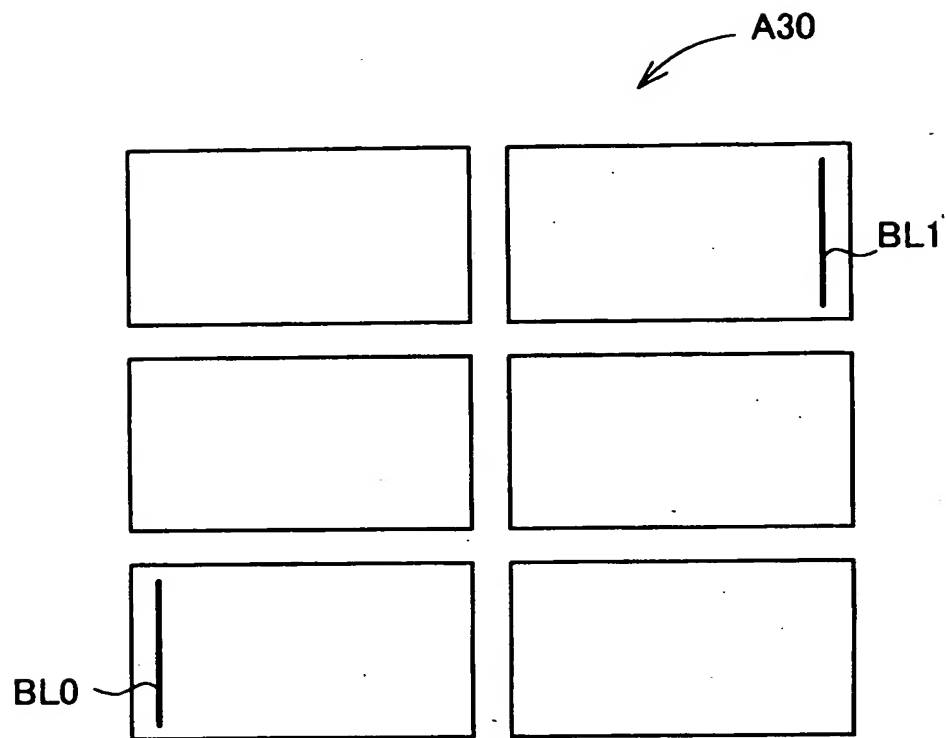
【図18】

第1実施形態のリード動作波形



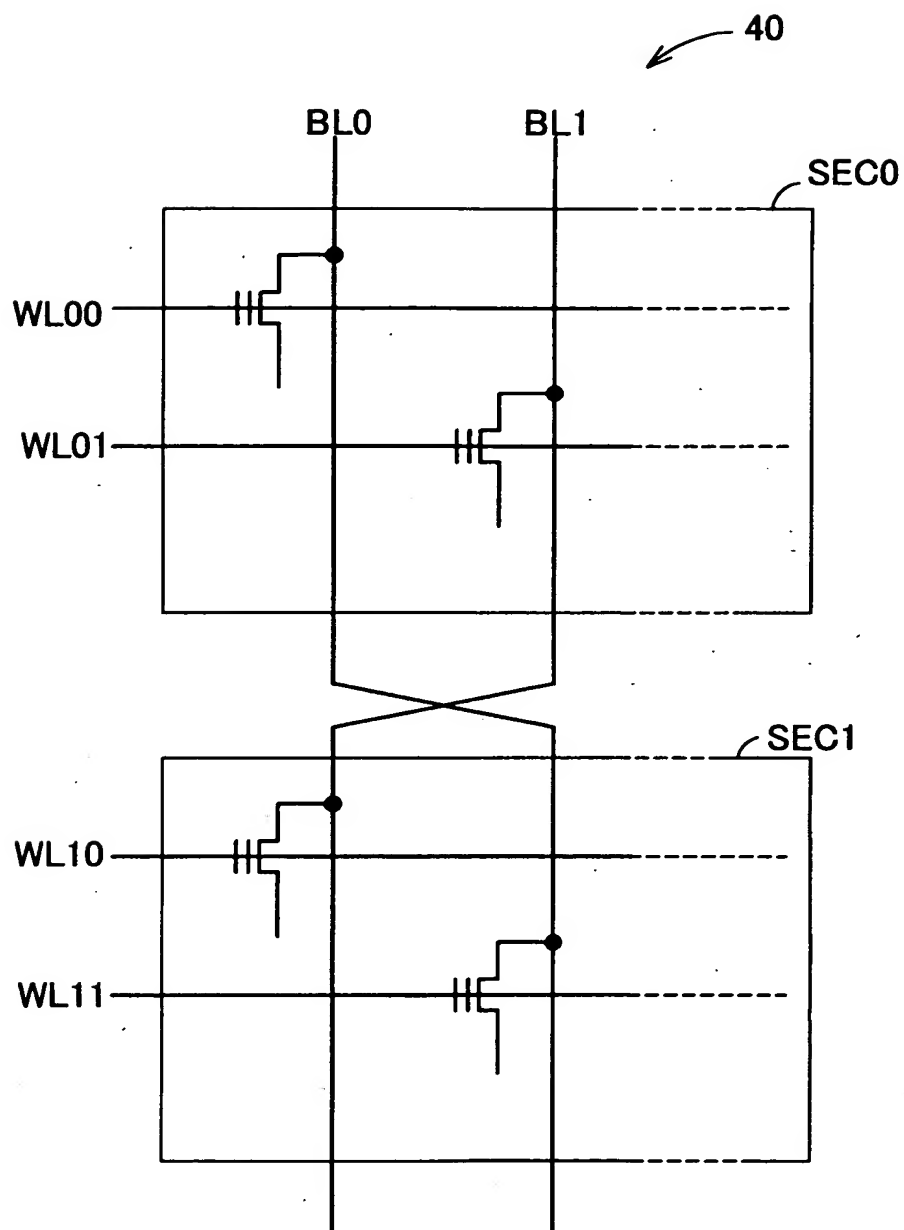
【図 2 0】

第3実施形態のメモリコア部



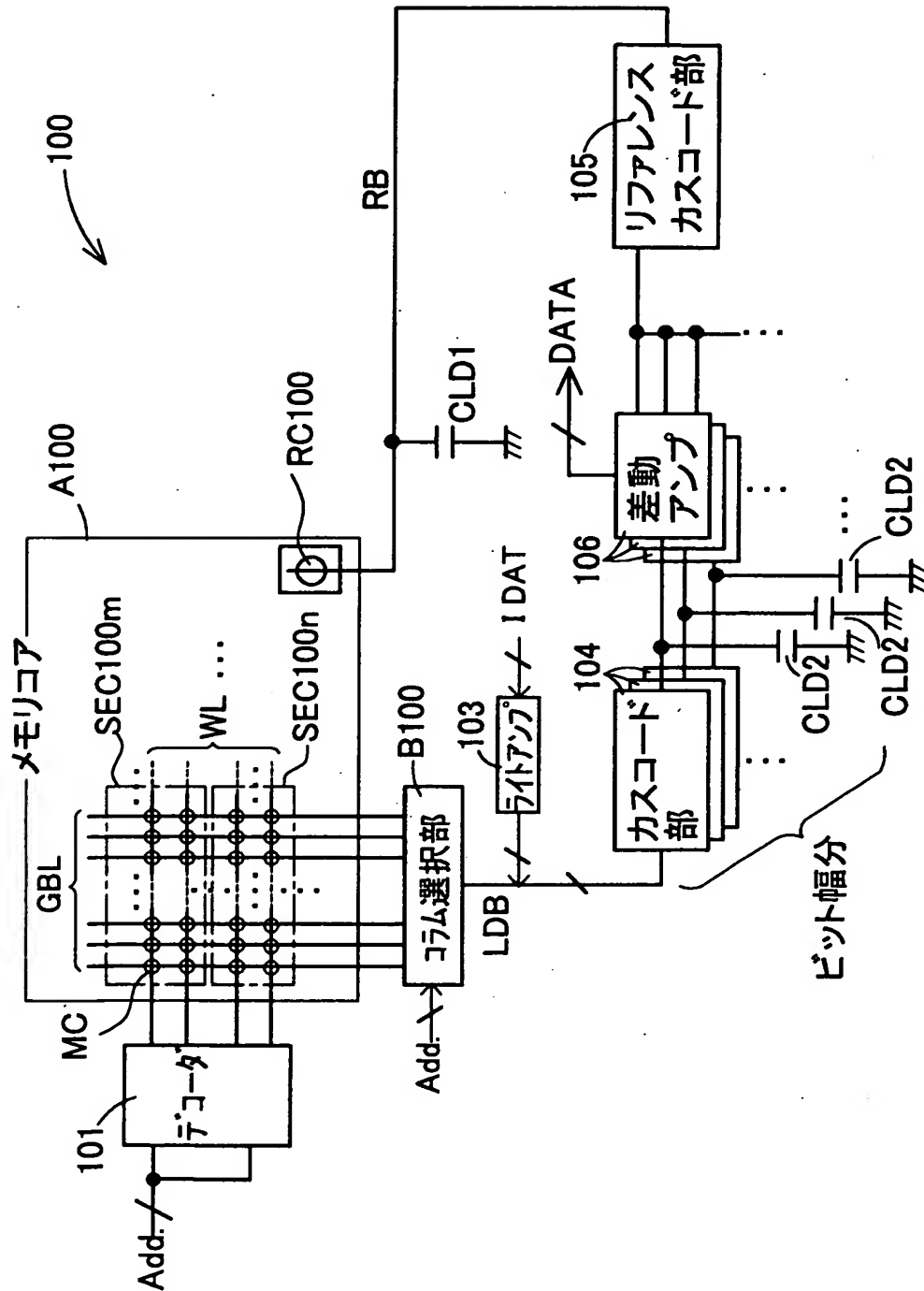
【図 21】

第4実施形態のメモリコア部



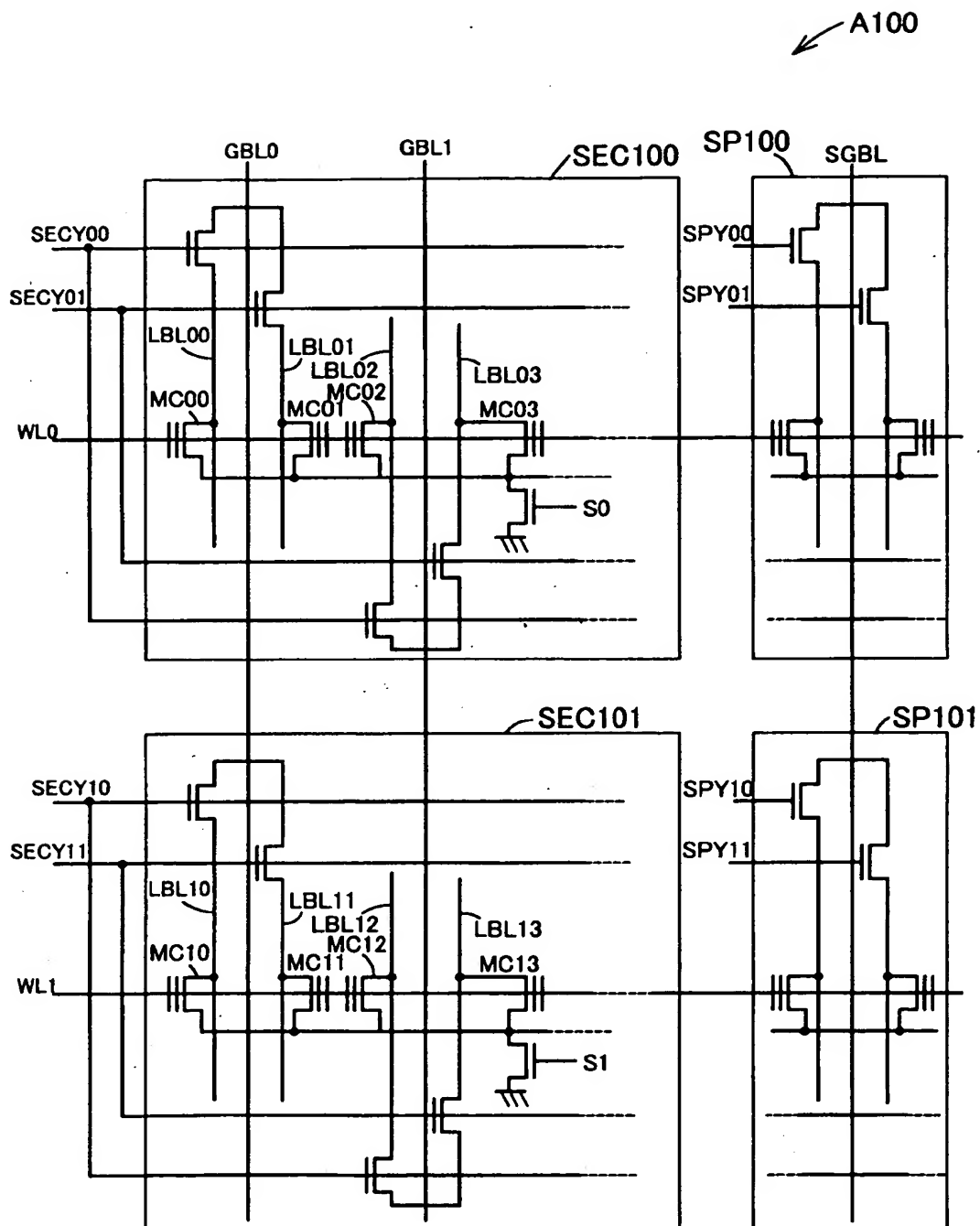
【図 2 2】

従来技術における不揮発性半導体記憶装置の全体構成図



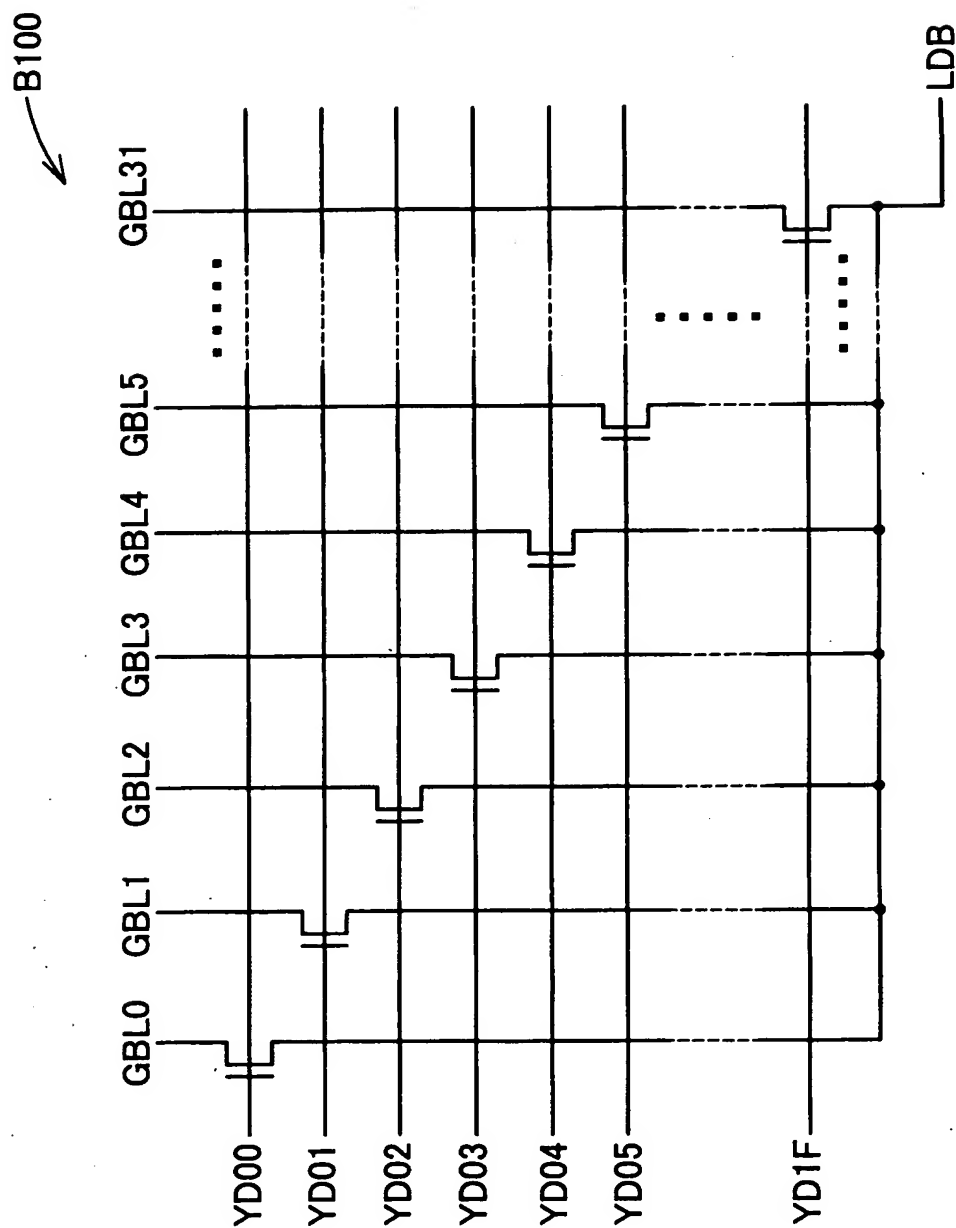
【図23】

従来技術におけるメモリコア部



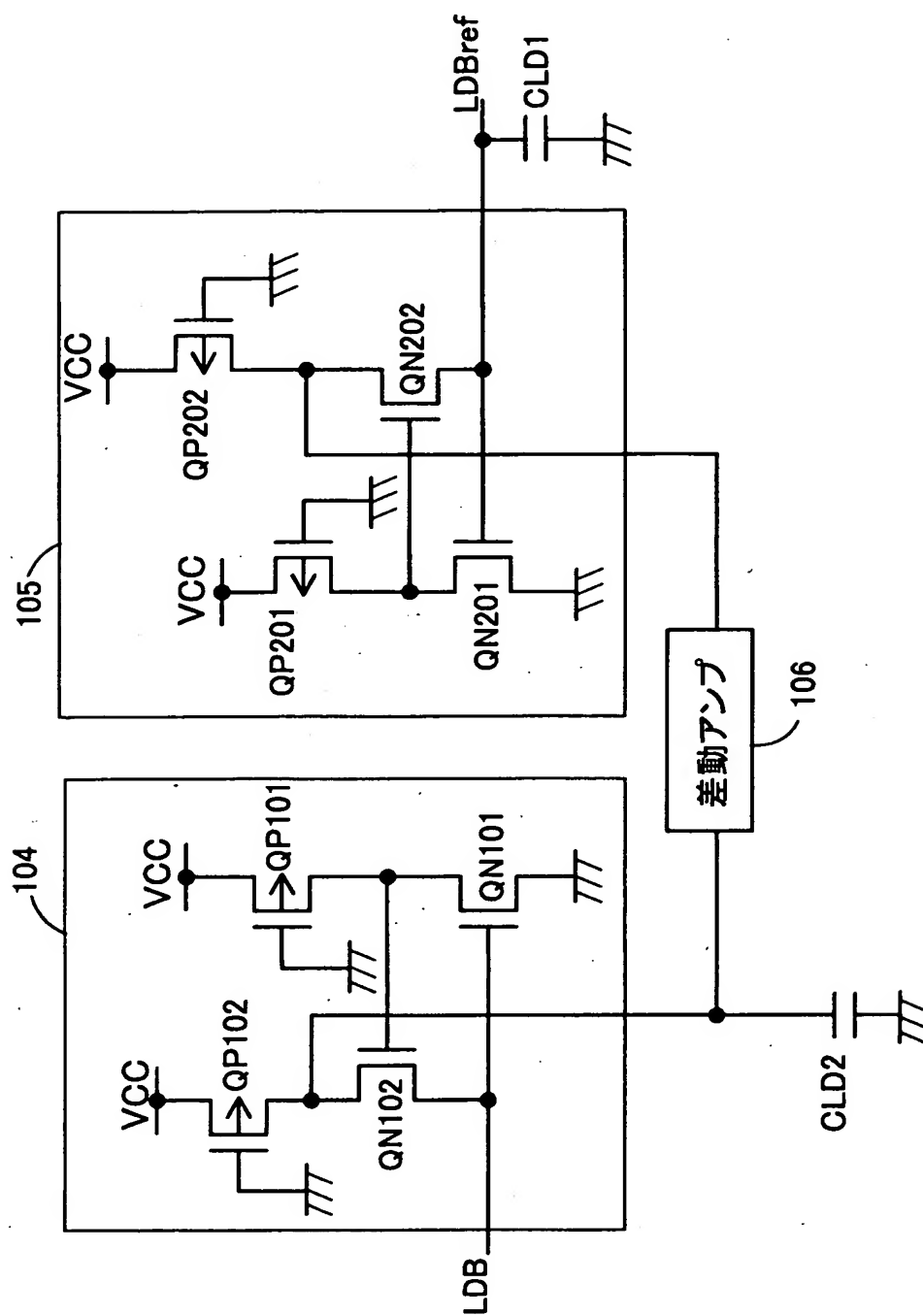
【図 24】

従来技術におけるコラム選択部



【図 2 5】

従来技術における比較部



【書類名】 要約書

【要約】

【課題】 読み出し動作において、記憶セル情報の読み出し経路における寄生素子成分の影響を排除した新規なメモリコア部の構成と、この構成に伴う新規なセンス手段を備えて高速センスが可能な不揮発性半導体記憶装置を提供すること

【解決手段】 メモリコア部Aでは、選択された記憶セルがローカルビット線を介してグローバルビット線に選択され、隣接するグローバルビット線が非選択セクタ内のローカルビット線に接続される。コラム選択部Bでは、1対のグローバルビット線を1対のデータバス線に接続する。1対のデータバス線には、記憶セルからの経路上の寄生容量と同等の負荷を備えリファレンス側にリファレンス電流を流すロード部Cが接続され、記憶セル情報の電流とリファレンス電流とが電流比較部Dで比較されて差電流を出力する。隣接する1対の電流経路により経路負荷が同等になりノイズの影響も相殺されて、高速読み出しが可能となる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日
[変更理由] 新規登録
住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社